

대한민국 특허청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0004804
Application Number

출원년월일 : 2003년 01월 24일
Date of Application JAN 24, 2003

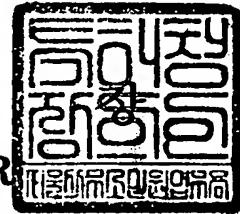
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 04 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.01.24
【발명의 명칭】	듀얼 게이트를 갖는 비휘발성 기억 소자 및 그 형성방법
【발명의 영문명칭】	Non-volatile memory cells having dual gate and method of forming the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	민홍국
【성명의 영문표기】	MIN,HONG KOOK
【주민등록번호】	721205-1550711
【우편번호】	463-060
【주소】	경기도 성남시 분당구 이매동 아름마을 선경아파트 603동 502호
【국적】	KR
【발명자】	
【성명의 국문표기】	전희석
【성명의 영문표기】	JEON,HEE SEO
【주민등록번호】	640822-1068217
【우편번호】	445-973

【주소】 경기도 화성군 태안읍 반월리 184-1 신영통 현대아풀 215동 1102호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	33	면	33,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	34	항	1,197,000	원
【합계】	1,259,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

듀얼게이트를 갖는 비휘발성 기억 소자 및 그 형성방법을 제공한다. 이 소자는 반도체기판 상부에 배치되어, 적층된 터널절연막 패턴, 트랩절연막 패턴, 블로킹절연막 패턴 및 컨트롤 게이트 전극으로 구성된 컨트롤 게이트 패턴을 구비한다. 컨트롤 게이트 패턴 일측의 반도체기판 상부에 선택 게이트 전극이 배치된다. 선택 게이트 전극과 반도체기판 사이 및 선택 게이트 전극과 컨트롤 게이트 패턴 사이에 게이트 절연막 패턴이 개재된다. 선택 게이트 전극 하부의 반도체기판에 정의된 제1 채널영역 및 컨트롤 게이트 전극 하부의 반도체기판에 정의된 제2 채널영역으로 구성된 셀 채널영역이 배치된다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

듀얼 게이트를 갖는 비휘발성 기억 소자 및 그 형성방법{Non-volatile memory cells having dual gate and method of forming the same}

【도면의 간단한 설명】

도 1은 종래의 소노스 기억 셀을 설명하기 위한 단면도이다.

도 2는 본 발명의 일 실시예에 따른 비휘발성 기억 소자를 설명하기 위한 평면도이다.

도 3은 도 2의 I - I'을 따라 취해진 단면도이다.

도 4 내지 도 10은 도 2의 I - I'을 따라 취해진 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 형성방법을 설명하기 위한 단면도들이다.

도 11은 본 발명의 다른 실시예에 따른 비휘발성 기억 소자를 설명하기 위한 평면도이다

도 12는 도 11의 II - II'을 따라 취해진 단면도이다.

도 13 내지 도 17은 도 11의 II - II'을 따라 취해진 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 형성방법을 설명하기 위한 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 소자 및 그 형성방법에 관한 것으로, 특히, 듀얼 게이트를 갖는 비휘발성 기억 소자 및 그 형성방법에 관한 것이다.

<9> 반도체 기억 소자는 비휘발성 기억 소자 및 비휘발성 기억 소자로 구분될 수 있다. 휘발성 기억 소자는 전원 공급이 중단되면 저장된 데이터를 잃어버린다. 예를 들면, 디램 소자 또는 에스램 소자등이 여기에 속한다. 이에 반해, 비휘발성 기억 소자는 전원 공급이 중단될지도, 저장된 데이터를 그대로 유지한다. 예컨대, 플래쉬 기억소자등이 여기에 속한다.

<10> 일반적으로, 플래쉬 기억 소자는 격리된 플로팅 게이트(floating gate) 내에 자유전하(free carriers) 형태로 전하들이 저장된다. 이와는 다르게, 깊은 준위의 트랩(deep level trap) 내에 전하를 저장하는 소노스(SONOS; Silicon-Oxide-Nitride-Oxide-Silicon) 기억 소자가 제안된 바 있다.

<11> 소노스 기억 소자는 깊은 준위의 트랩(deep level trap)에 전하를 저장하는 비휘발성 기억 소자이다. 플래쉬 기억 소자는 자유전하 형태로 전하들이 저장되어 있음으로, 터널산화막의 일부분에 결함이 발생하면, 모든 전하들을 잃어버릴 수 있다. 이에 반하여, 소노스 기억 소자는 깊은 준위의 트랩 내에 전하들이 각각 격리되어 저장됨으로써, 터널산화막의 일부분에 결함이 발생할지라도, 모든 전하들을 잃어버리지 않는다. 이에 따라, 소노스 기억 소자의 터널산화막은 플로팅 게이트를 갖는 플래쉬 기억 소자에 비하여 얇은 두께로 형성할 수 있다. 결과적으로, 소노스 기억 소자는 플로팅 게이트를 갖는 플래쉬 기억 소자에 비하여 낮은 동작전압으로 동작이 가능하다. 소노스 기억 소자에 데이터를 저장하는 방식은 두가지 형태일 수 있다. 즉, FN 터널링(Fowler-Nordheim tunneling) 방식 및 핫 캐리어 주입(hot carriers injection) 방식이 있다.

<12> 한편, 이탄(Eitan) 등은 미국특허 제5,768,192호에서 '비대칭 차지 트래핑을 이용하는 비휘발성 반도체 기억 셀(Non-volatile semiconductor memory cell utilizing asymmetrical

charge trapping)'이라는 제목으로 핫 캐리어 주입 방식을 사용하는 소노스 기억 셀을 개시하고 있다. 개시된 소노스 기억 소자의 프로그램 동작을 도 1을 참조하여 설명한다.

<13> 도 1은 종래의 소노스 기억 셀을 설명하기 위한 단면도이다.

<14> 도 1을 참조하면, 반도체기판(1) 상에 제1 실리콘 산화막(2), 실리콘 질화막(3), 제2 실리콘 산화막(4) 및 게이트 전극(5)이 차례로 적층된다. 상기 게이트 전극(5) 양측의 상기 반도체기판(1)에 소오스/드레인 영역(6,6a)이 배치된다.

<15> 상기한 구조를 갖는 소노스 기억 셀의 동작원리를 간략히 설명하면, 상기 게이트 전극(5)에 프로그램 동작이 인가되고, 상기 드레인 영역(6a)에 드레인 전압이 인가된다. 이때, 상기 소오스 영역(6)은 접지 전압이 인가된다. 이에 따라, 상기 드레인 영역(6a)과 인접한 부위에서 핫캐리어 주입 현상이 발생한다. 그 결과, 전하들은 상기 실리콘 질화막(3)의 소정영역에 저장되어 차징 영역(k, charging region)이 형성된다. 상기 차징 영역(k)은 상기 드레인 영역(6a)에 인접한다.

<16> 상술한 종래기술에 있어서, 반도체 소자의 고집적화 경향에 따라, 상기 소오스/드레인 영역(6,6a) 간의 거리가 감소할 수 있다. 이에 따라, 상기 기억 셀의 프로그램 동작시, 상기 소오스/드레인 영역(6,6a)간의 펀치스루(punchthrough) 특성이 열화될 수 있다. 결과적으로, 상기 소노스 기억 셀을 고집적화하기에는 어려움이 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명이 이루고자 하는 기술적 과제는 소비전력 및 동작전압을 낮출수 있는 듀얼게이트를 갖는 비휘발성 기억 소자 및 그 형성방법을 제공하는데 있다.

<18> 본 발명이 이루고자 하는 다른 기술적 과제는 고직접화에 적합한 듀얼게이트를 갖는 비휘발성 기억 소자 및 그 형성방법을 제공하는데 있다.

【발명의 구성 및 작용】

<19> 상술한 기술적 과제 및 다른 기술적 과제를 해결하기 위한 듀얼 게이트를 갖는 비휘발성 기억 소자를 제공한다. 이 소자는 반도체기판 상부에 배치되되, 적층된 터널절연막 패턴, 트랩절연막 패턴, 블로킹절연막 패턴 및 컨트롤 게이트 전극으로 구성된 컨트롤 게이트 패턴을 포함한다. 상기 컨트롤 게이트 패턴 일측의 상기 반도체기판 상부에 선택 게이트 전극이 배치된다. 상기 선택 게이트 전극과 상기 반도체기판 사이 및 상기 선택 게이트 전극과 상기 컨트롤 게이트 패턴 사이에 게이트 절연막 패턴이 개재된다. 상기 선택 게이트 전극 하부의 반도체기판에 정의된 제1 채널영역 및 상기 컨트롤 게이트 전극 하부의 반도체기판에 정의된 제2 채널영역으로 구성된 셀 채널영역이 배치된다.

<20> 구체적으로, 상기 선택 게이트 전극은 상기 컨트롤 게이트 패턴의 일측벽 및 상부면을 덮는 스페이서 형태(spacer-shaped)인 것이 바람직하다. 이때, 상기 게이트 절연막 패턴은 연장되어 상기 선택 게이트 전극 및 상기 컨트롤 게이트 패턴의 상부면 사이에 개재된다. 상기 셀 채널영역 양측의 상기 반도체기판에 형성된 소오스/드레인 영역을 더 포함하는 것이 바람직하다. 상기 드레인 영역은 상기 채널영역과 접하며, 상기 소오스 영역은 상기 제2 채널영역과 접한다.

<21> 상기 비휘발성 기억 소자는 여러개의 기억 셀들을 갖는 비휘발성 기억 소자에 적용될 수 있다. 이 소자는 반도체기판 상부에 나란히 배열되되, 각각은 적층된 터널절연막 패턴, 트랩절연막 패턴, 블로킹절연막 패턴 및 컨트롤 게이트 전극으로 구성된 한 쌍의 컨트롤 게이트 패턴들을 포함한다. 상기 컨트롤 게이트 패턴 일측의 상기 반도체기판 상부에 선택 게이트 전극이

배치된다. 상기 선택 게이트 전극과 상기 반도체기판 사이 및 상기 선택 게이트 전극과 상기 컨트롤 게이트 패턴 사이에 게이트 절연막 패턴이 개재된다. 상기 컨트롤 게이트 패턴 하부의 반도체기판에 정의된 제1 채널영역 및 상기 선택 게이트 패턴 하부의 반도체기판에 정의된 제2 채널영역으로 구성된 셀 채널영역이 배치된다. 한 쌍의 상기 선택 게이트 전극들은 서로 대칭적인 구조이다.

<22> 구체적으로, 상기 선택 게이트 전극은 상기 컨트롤 게이트의 일측벽 및 상부면을 넘는 스페이서 형태인 것이 바람직하다. 이때, 상기 게이트 절연막 패턴은 연장되어 상기 선택 게이트 전극 및 상기 컨트롤 게이트 패턴의 상부면 사이에 개재된다. 상기 한 쌍의 선택 게이트 전극들은 상기 한 쌍의 컨트롤 게이트 패턴들 사이에 배치될 수 있다. 이와는 달리, 상기 한 쌍의 컨트롤 게이트 패턴들이 상기 한 쌍의 선택 게이트 전극들 사이에 배치될 수 있다.

<23> 상술한 기술적 과제 및 다른 기술적 과제를 해결하기 위한 비휘발성 기억 소자의 형성방법을 제공한다. 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 형성방법은 반도체기판 상에 터널절연막, 트랩절연막, 블로킹절연막, 제1 게이트 도전막 및 하드마스크막을 차례로 형성하는 단계를 포함한다. 상기 하드마스크막, 제1 게이트 도전막, 터널절연막, 트랩절연막 및 블로킹절연막을 패터닝하여 상기 반도체기판의 소정영역을 노출시키는 충계진 그루브(stoped groove)를 형성한다. 상기 충계진 그루브의 측벽 중 상기 터널절연막, 트랩절연막, 블로킹절연막 및 제1 게이트 도전막이 돌출된다. 상기 충계진 그루브의 내측벽에 상기 돌출된 부분을 감싸는 스페이서 형태의 선택 게이트 전극과, 상기 선택 게이트 전극과 상기 충계진 그루브의 내측벽 사이 및 상기 선택 게이트 전극과 상기 반도체기판 사이에 개재된 게이트 절연막 패턴을 형성한다. 상기 충계진 그루브의 측벽과 접촉하는 상기 게이트 절연막 패턴의 측벽에 자기 정렬된 측벽을 갖는 컨트롤 게이트 패턴을 형성한다. 상기 컨트롤 게이트 패턴은 차례로 적층

된 터널절연막 패턴, 트랩절연막 패턴, 블로킹절연막 패턴 및 컨트롤 게이트 전극으로 구성된다.

<24> 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 형성방법은 반도체기판 상에 터널 절연막, 트랩절연막, 블로킹절연막, 제1 게이트 도전막 및 하드마스크막을 차례로 형성하는 단계를 포함한다. 상기 하드마스크막, 제1 게이트 도전막, 터널절연막, 트랩절연막 및 블로킹절연막을 패터닝하여 적층된 예비 터널절연막 패턴, 예비 트랩절연막 패턴, 예비 블로킹절연막 패턴, 제1 게이트 도전막 패턴 및 하드마스크 패턴으로 구성된 라인 패턴을 형성한다. 상기 라인 패턴의 측벽은 상기 제1 게이트 도전막 패턴, 예비 블로킹절연막 패턴, 예비 트랩절연막 패턴 및 예비 터널절연막 패턴이 돌출된다. 상기 라인 패턴 측벽에 상기 돌출된 부분을 감싸는 스페이서 형태의 선택 게이트 전극 및, 상기 선택 게이트 전극과 상기 라인 패턴 측벽 사이 및 상기 선택 게이트 전극과 상기 반도체기판 사이에 개재된 게이트 절연막 패턴을 형성한다. 상기 하드마스크 패턴과 접촉하는 상기 게이트 절연막 패턴의 측벽에 자기정렬된 측벽을 갖는 컨트롤 게이트 패턴을 형성한다. 상기 컨트롤 게이트 패턴은 적층된 터널절연막 패턴, 트랩절연막 패턴, 블로킹절연막 패턴 및 컨트롤 게이트 패턴으로 구성된다.

<25> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<26> (제1 실시예)

<27> 도 2는 본 발명의 일 실시예에 따른 부유 트랩형 비휘발성 기억 소자를 설명하기 위한 평면도이며, 도 3은 도 2의 I-I'을 따라 취해진 단면도이다.

<28> 도 2 및 도 3을 참조하면, 반도체기판(101)의 소정영역에 활성영역(102)이 배치된다. 상기 활성영역(102)은 상기 반도체기판(101)에 형성된 소자분리막에 의하여 한정된다. 한 쌍의 컨트롤 게이트 패턴들(110)이 상기 활성영역(102) 상부를 나란히 가로지른다. 상기 컨트롤 게이트 패턴(110)은 차례로 적층된 터널절연막 패턴(103a), 트랩절연막 패턴(105a), 블로킹절연막 패턴(107a) 및 컨트롤 게이트 전극(109a)으로 구성된다. 상기 터널절연막 패턴(103a)은 실리콘산화막 또는 실리콘산화질화막으로 이루어질 수 있다. 상기 트랩절연막 패턴(105a)은 데이타를 저장하는 장소이다. 즉, 상기 활성영역(202)의 전하들이 상기 터널절연막 패턴(103a)을 터널링하여 상기 트랩절연막 패턴(105a) 내의 깊은 준위의 트랩들에 트랩되거나, 상기 트랩절연막 패턴(105a)내의 전하들이 상기 터널절연막 패턴(103a)을 터널링하여 상기 활성영역(202)으로 방출된다. 이에 따라, 데이타의 저장 및 소거가 이루어진다. 상기 트랩절연막 패턴(105a)은 트랩밀도가 높은 절연막으로 이루어진다. 예를 들면, 실리콘질화막, 폴리실리콘 도트층(poly-Si dots layer) 및 질화막 도트층(nitride dots layer)으로 구성된 그룹에서 선택된 적어도 하나로 이루어지는 것이 바람직하다. 상기 폴리실리콘 도트층 및 상기 질화막 도트층은 각각 폴리실리콘 및 질화막(nitride)의 도트들을 적층하여 형성한다. 이때, 도트들 사이에 트랩들이 위치할 수 있다.

<29> 상기 블로킹절연막 패턴(107a)은 상기 트랩절연막 패턴(105a) 내의 전하들이 상기 컨트롤 게이트 전극(109a)으로 인입되는 것을 방지함과 동시에, 상기 컨트롤 게이트 전극(109a) 내의 전하들이 상기 트랩절연막 패턴(105a)으로 인입되는 것을 방지한다. 상기 블로킹절연막 패

턴(107a)은 절연막, 예컨대, 실리콘산화막으로 이루어질 수 있다. 상기 컨트롤 게이트 전극(109a)은 프로그램 또는 소거동작시, 프로그램 또는 소거 전압이 인가된다. 상기 컨트롤 게이트 전극(109a)은 도전막, 예컨대, 도핑된 폴리실리콘막으로 이루어질 수 있다.

<30> 상기 컨트롤 게이트 패턴(110)의 일측의 상기 활성영역(102)을 가로지르는 선택 게이트 전극(121a)이 배치된다. 상기 선택 게이트 전극(121a)은 상기 컨트롤 게이트 패턴(110)과 평행하다. 상기 선택 게이트 전극(121a)은 상기 컨트롤 게이트 패턴(110)의 일측벽 및 상부면을 감싸는 스페이서 형태(spacer-shaped)인 것이 바람직하다. 이때, 상기 컨트롤 게이트 패턴(110)의 타측벽은 노출된다. 다시 말해서, 상기 선택 게이트 전극(121a)은 곡면측벽 및 평면측벽을 갖고, 상기 평면측벽의 하부에 옆으로 함몰된 영역이 배치된다. 상기 함몰된 영역내에 상기 컨트롤 게이트 패턴(110)이 내재되어 있다. 한 쌍의 상기 선택 게이트 전극(121a)은 곡면측벽들이 마주보는 대칭구조인 것이 바람직하다.

<31> 상기 선택 게이트 전극(121a)과 상기 컨트롤 게이트 패턴(110) 및, 상기 선택 게이트 전극(121a)과 상기 반도체기판(101) 사이에 게이트 절연막 패턴(119a)이 개재된다. 상기 게이트 절연막 패턴(119a)은 연장되어 상기 컨트롤 게이트 패턴(110) 상부의 상기 선택 게이트 전극(119a)의 평면측벽을 덮는 것이 바람직하다. 이때, 상기 컨트롤 게이트 패턴(110)의 노출된 측벽과 상기 컨트롤 게이트 패턴(110) 상에 배치된 상기 게이트 절연막 패턴(119a)의 노출된 측벽은 같은 수직선상에 위치하는 것이 바람직하다.

<32> 상기 활성영역(102) 및 상기 선택 게이트 전극(121a) 사이에 개재된 상기 게이트 절연막 패턴(119a)의 두께는 상기 컨트롤 게이트 전극(109a) 및 상기 활성영역(102) 사이에 개재된 절연막들(103a, 105a, 107a)의 두께의 합보다 작다.

<33> 상기 선택 게이트 전극(121a)은 도전막으로 이루어진다. 예를 들면, 도핑된 폴리실리콘 막으로 이루어지는 것이 바람직하다. 상기 게이트 절연막 패턴(119a)은 실리콘산화막으로 이루어질 수 있다. 특히, CVD 실리콘산화막 또는 열경화된 CVD 실리콘산화막으로 이루어질 수 있다.

<34> 상기 컨트롤 게이트 전극(109a) 하부의 상기 활성영역(102)에 제1 채널영역(a)이 정의되며, 상기 컨트롤 게이트 전극(109a) 일측에 위치한 상기 선택 게이트 전극(121a) 하부의 상기 활성영역(103)에 제2 채널영역이 정의된다. 즉, 상기 제1 및 제2 채널영역(a,b)은 수평적으로 배치되며, 상기 제1 채널영역(a)은 상기 컨트롤 게이트 전극(109a)의 채널영역이며, 상기 제2 채널영역(b)은 상기 선택 게이트 전극(121a)의 채널영역이다. 상기 제1 및 제2 채널영역(a,b)은 셀 채널영역(c)을 구성한다.

<35> 상기 셀 채널영역(c) 양측의 상기 활성영역(102)에 각각 불순물확산층인 드레인/소오스 영역(125a,125b)이 배치된다. 상기 드레인 영역(125a)은 상기 제1 채널영역(a)과 접하고, 상기 소오스 영역(125b)은 상기 제2 채널영역(b)과 접한다.

<36> 상기 셀 채널영역(c), 상기 드레인/소오스 영역(125a,125b), 상기 선택 게이트 전극(121a), 상기 게이트 절연막 패턴(119a) 및 상기 컨트롤 게이트 패턴(110)은 비휘발성 기억 셀을 구성한다. 즉, 도 3에는 한 쌍의 비휘발성 기억 셀들이 도시되어 있다. 상기 소오스 영역(125a)은 한 쌍의 상기 제2 채널영역들(b)이 양측에 접하는 공통 소오스 영역인 것이 바람직하다.

<37> 상기 선택 게이트 전극(121a)의 측벽의 소정영역, 상기 소오스/드레인 영역(125a,125b) 및 상기 컨트롤 게이트 전극(109a)의 노출된 측벽 표면에 금속실리사이드막(127a)이 배치되는

것이 바람직하다. 상기 금속실리사이드막(127a)은 코발트실리사이드막, 티타늄실리사이드막 및 니켈실리사이드막으로 구성된 그룹에서 선택된 적어도 하나로 이루어질 수 있다.

<38> 상기 선택 게이트 전극(121a)의 하부 곡면측벽에 잔여 보호막(123')이 배치될 수 있다. 이 경우에, 상기 선택 게이트 전극(121a)의 곡면측벽 상에 위치한 금속실리사이드막(127a)은 상기 잔여 보호막(123')이 형성되지 않은 부분에만 형성될 수 있다. 상기 잔여 보호막(123')은 실리콘산화막으로 이루어질 수 있다. 상기 잔여 보호막(123')은 생략될 수도 있다. 상기 잔여 보호막(123')이 생략되는 경우에, 상기 선택 게이트 전극(121a)의 곡면측벽 전체 표면에 상기 금속실리사이드막(127a)이 배치될 수 있다. 상기 금속실리사이드막(127a)은 상기 컨트롤 게이트 전극(109a), 상기 선택 게이트 전극(121a) 및 상기 드레인/소오스 영역(125a, 125b)의 표면에 저항을 감소시킨다.

<39> 상기 기억 셀의 동작 방법들을 설명한다.

<40> 첫번째로, 상기 비휘발성 기억 셀의 프로그램 방법은 상기 선택 게이트 전극(121a)에 선택 전압을 인가하고, 상기 컨트롤 게이트 전극(109a)에 프로그램 전압을 인가한다. 상기 소오스 영역(125b)에는 기준전압(예, 접지전압)을 인가하고, 상기 드레인 영역(125a)에는 드레인 전압을 인가한다. 상기 전압들이 인가되면, 상기 드레인 영역(125a)과 인접한 상기 제1 채널영역(a)에 핫캐리어들이 발생하여 전자들이 상기 트랩절연막 패턴(105a) 내의 트랩들에 저장된다.

<41> 두번째로, 상기 비휘발성 기억 셀의 소거 방법은 상기 소오스 영역(125b) 및 상기 선택 게이트 전극(121a)에 기준전압(접지전압)을 인가한다. 상기 컨트롤 게이트 전극(109a)에 소거 전압을 인가하고, 상기 드레인 영역(125a)에 드레인 전압을 인가한다. 상기 소거 전압 및 드레인 전압에 의해, 상기 트랩절연막 패턴(105a)에 트랩된 전자들이 상기 터널절연막 패턴(103a)

을 터널링하여 상기 드레인 영역(125a)으로 방출되거나, 상기 드레인 영역(125a)으로 부터 정공들이 상기 터널절연막 패턴(103a)을 터널링하여 상기 트랩된 전자들과 결합하게 된다. 이에 따라, 상기 기억 셀은 소거된다.

<42> 마지막으로, 상기 비휘발성 기억 셀의 읽기 동작시에는, 상기 선택 게이트 전극(121a)에 선택 전압이 인가되고, 상기 컨트롤 게이트 전극(109a)에 판독 전압(sensing voltage)을 인가한다. 이에 따라, 상기 트랩절연막 패턴(105a)내에 전자들이 트랩되어 있을 경우, 상기 드레인/소오스 영역(125a, 125b)간의 전류가 흐르지 않는다. 이와 반대로, 상기 트랩절연막 패턴(105a)내에 전자들이 트랩되어 있지 않거나, 정공들이 트랩되어 있을 경우, 상기 드레인/소오스 영역(125a, 125b)간에 전류가 흐른다. 결과적으로, 상기 비휘발성 기억 셀의 데이터 저장 유무를 확인할 수 있다.

<43> 상술한 비휘발성 기억 셀의 상기 셀 채널영역(c)은 상기 컨트롤 게이트 전극(109a)에 의하여 제어되는 상기 제1 채널영역(a) 및 상기 선택 게이트 전극(121a)에 의하여 제어되는 상기 제2 채널영역(b)으로 구성되어 있다. 상기 컨트롤 게이트 전극(109a) 및 상기 선택 게이트 전극(121a)은 서로 격리되어 있으며, 핫캐리어 주입이 발생하는 곳은 상기 제1 채널영역(a)이다. 이에 따라, 상기 비휘발성 기억 셀의 소거, 프로그램 또는 읽기 동작시, 상기 선택 게이트 전극(121a)에는 상기 선택 전압 또는 상기 기준전압만이 인가된다. 즉, 상기 선택 게이트 전극(121a)에는 높은 프로그램 전압 또는 소거 전압이 인가되지 않는다. 특히, 읽기 동작시, 상기 선택 게이트 전극(121a)에 인가되는 선택전압은 상기 컨트롤 게이트 전극(109a)에 인가되는 판독전압 보다 낮다. 이는, 상기 제2 채널영역(b) 상의 절연막인 상기 게이트 절연막 패턴(119a)의 두께가 상기 컨트롤 게이트 전극(109a) 및 상기 활성영역(102) 사이에 개재된 절연막들(103a, 105a, 107a)의 두께에 비하여 얇기 때문이다.

<44> 또한, 종래의 소노스 기억 셀은 3층의 절연막들(도1의 참조부호2,3,4)은 셀 채널영역 전체 상에 배치된다. 이에 반하여, 상기 비휘발성 기억 셀은 상기 터널절연막 패턴(103a), 상기 트랩절연막 패턴(105a) 및 상기 블로킹절연막 패턴(107a)이 상기 셀 채널영역(c) 중에 일부분(제1 채널영역) 상에만 배치된다. 이에 따라, 짧아진 채널길이에 의해, 상기 컨트롤 게이트 전극(109a)에 인가되는 소거 또는 프로그램 전압을 종래에 비하여 감소시킬 수 있다. 이에 따라, 상기 드레인/소오스 영역(125a,125b) 간의 편치스루 특성을 개선할 수 있다.

<45> 결과적으로, 본 발명에 따른 비휘발성 기억 셀은 종래에 비하여 동작전압을 감소시켜 소비전력을 감소시킬 수 있다. 이에 더하여, 편치스루 특성의 향상으로 고집적화에 적합하다.

<46> 도 4 내지 도 10은 도 2의 I - I '을 따라 취해진 본 발명의 일 실시예에 따른 부유 트랩 형 비휘발성 기억 소자의 형성방법을 설명하기 위한 단면도들이다.

<47> 도 4를 참조하면, 반도체기판(101)에 소자분리막을 형성하여 활성영역(도 2의 102)을 한정한다. 상기 활성영역을 갖는 반도체기판(101) 상에 터널절연막(103), 트랩절연막(105), 블로킹절연막(107), 제1 게이트 도전막(109) 및 하드마스크막(111)을 차례로 적층한다.

<48> 상기 터널절연막(103)은 실리콘산화막(SiO_2) 또는 실리콘산화질화막($SiON$, oxy-nitride layer)으로 형성할 수 있다. 상기 터널절연막(103)을 실리콘산화막으로 형성하는 경우에, 열산화막 또는 CVD 실리콘산화막으로 형성할 수 있다. 상기 터널절연막(103)을 실리콘산화질화막으로 형성하는 경우에, 실리콘산화질화막은 상기 활성영역을 갖는 반도체기판에 일산화이질소(N_2O) 또는 일산화질소(NO) 가스 분위기의 산화질화공정으로 형성할 수 있다. 상기 트랩절연막(105)은 트랩밀도가 높은 절연막으로 형성한다. 예를 들면, 실리콘질화막, 폴리실리콘 도트층(polysilicone dots layer) 및 질화물 도트층(nitride dots layer)으로 구성된 그룹에서 선택된 적어도 하나로 형성할 수 있다. 상기 트랩절연막(105)을 실리콘질화막으로 형

성하는 경우에, 상기 실리콘질화막은 CVD 실리콘질화막으로 형성할 수 있다. 이와는 달리, 상기 터널절연막(105)의 표면에 질화공정을 진행하여 형성할 수도 있다. 상기 블로킹절연막(107)은 CVD 실리콘산화막으로 형성할 수 있다.

<49> 상기 제1 게이트 도전막(109)은 도전막으로 형성한다. 예를 들면, 도핑된 폴리실리콘막으로 형성하는 것이 바람직하다. 상기 하드마스크막(111)은 상기 제1 게이트 도전막(109)에 대하여 식각선택비를 갖는 물질막으로 형성한다. 예를 들면, 실리콘질화막으로 형성할 수 있다.

<50> 도 5를 참조하면, 상기 하드마스크막(111)을 패터닝하여 상기 제1 게이트 도전막(109)의 소정영역을 노출시키는 제1 그루브(113)를 형성한다. 상기 제1 그루브(113)는 상기 활성영역을 가로지르는 라인 형태이다.

<51> 상기 제1 그루브(113)의 양 내측벽에 스페이서(115)를 형성한다. 상기 스페이서(115)는 상기 제1 그루브(113)를 갖는 반도체기판(101) 전면에 콘포말한 스페이서막(미도시함)을 형성하고, 상기 스페이서막을 전면 이방성식각하여 형성할 수 있다. 상기 스페이서(115)는 상기 제1 게이트 도전막(109)에 대하여 식각선택비를 갖는 물질막으로 형성한다. 예를 들면, 실리콘산화막으로 형성할 수 있다.

<52> 도 6을 참조하면, 상기 스페이서(115) 및 상기 하드마스크막(111)을 식각마스크로 사용하여 전면 이방성식각으로 상기 제1 게이트 도전막(109), 상기 블로킹절연막(107), 상기 트랩절연막(105) 및 상기 터널절연막(103)을 연속적으로 패터닝하여 상기 활성영역을 노출시키는 제2 그루브(117)를 형성한다. 이어서, 상기 스페이서(115)를 제거한다. 상기 제1 및 제2 그루브(117)는 층계진 그루브(118, steped groove)를 구성한다. 상기 층계진 그루브(118)의 측벽은 상기 절연막들(103a, 105a, 107a) 및 상기 제1 게이트 도전막(109)이 돌출되어 계단 형태를 이룬다. 상기 스페이서(115)가 실리콘산화막으로 형성될 경우, 상기 블로킹절연막(107)이 식각될

때, 일부분이 식각될 수 있다. 하지만, 상기 제1 게이트 도전막(109)의 돌출된 부분이 이미 형성되어 있음으로, 상기 제1 게이트 도전막(109)의 돌출된 부분이 마스크막으로 작용할 수 있다.

<53> 상기 충계진 그루브(118)를 갖는 반도체기판(101) 전면에 게이트 절연막(119)을 콘포말하게 형성하고, 상기 게이트 절연막(119) 상에 제2 게이트 도전막(121)을 형성한다. 상기 게이트 절연막(119)은 CVD 실리콘산화막으로 형성할 수 있다. 이에 더하여, CVD 실리콘산화막을 증착한 후에, 고온의 열공정을 진행할 수 있다. 상기 제2 게이트 도전막(121)은 도전막, 예컨대, 도핑된 폴리실리콘막으로 형성하는 것이 바람직하다.

<54> 도 7을 참조하면, 상기 제2 게이트 도전막(121) 및 상기 게이트 절연막(119)을 전면 이방성 식각하여 상기 충계진 그루브(118)의 내측벽에 차례로 적층된 게이트 절연막 패턴(119) 및 선택 게이트 전극(121a)을 형성한다. 상기 선택 게이트 전극(121a)은 상기 충계진 그루브(118)의 내측벽에 스페이서 형태로 형성된다. 이때, 상기 하드마스크막(111)의 상부면 및 한 쌍의 상기 선택 게이트 전극(121a) 사이의 반도체기판(101)이 노출된다.

<55> 상기 선택 게이트 전극(121a)은 상기 제1 게이트 도전막(109)의 돌출된 측벽 및 상부면을 감싼다. 상기 게이트 절연막 패턴(119a)은 상기 선택 게이트 전극(121a)과 상기 반도체기판(101) 사이 및 상기 선택 게이트 전극(121a)과 상기 충계진 그루브(118) 측벽 사이에 개재된다. 상기 충계진 그루브(118)의 양 내측벽에 형성된 한 쌍의 상기 선택 게이트 전극들(121a)은 서로 대칭적이다.

<56> 상기 선택 게이트 전극(121a)의 곡면측벽 및 상기 한 쌍의 선택 게이트 전극(121a) 사이에 노출된 반도체기판(101) 상에 보호막(123)을 형성한다. 상기 보

호막(123)은 상기 하드마스크막(111) 및 상기 제1 게이트 도전막(109)에 대하여 식각선택비를 갖는 물질막으로 형성한다. 예를 들면, 열산화막으로 형성하는 것이 바람직하다. 이와는 다르게, 상기 보호막(123)은 CVD 실리콘산화막으로 형성할 수 있다. 상기 보호막(123)이 CVD 실리콘산화막으로 형성될 경우에는, 상기 충계진 그루브(118)를 채우는 CVD 실리콘산화막을 반도체기판(101) 전면에 형성한 후에, 상기 증착된 CVD 실리콘산화막을 상기 하드마스크막(111)의 상부면이 노출될 때까지 평탄화시킨다. 이에 따라, 상기 충계진 그루브(118)를 채우는 보호막(미도시함)을 형성할 수 있다.

<57> 도 8 및 도 9를 참조하면, 상기 보호막(123) 및 상기 게이트 절연막 패턴(119a)을 식각마스크로 사용하여 상기 하드마스크막(111)을 식각하여 제거한다. 이로 인해, 상기 하드마스크막(111) 하부에 위치한 제1 게이트 도전막(109)이 노출된다. 이때, 상기 하드마스크막(111) 측벽에 형성된 상기 게이트 절연막 패턴(119a)은 상기 컨트롤 게이트 패턴(110) 상부의 상기 선택 게이트 전극(121a)의 평면측벽을 보호한다. 상기 게이트 절연막 패턴(119a)은 실리콘산화막으로 형성됨으로, 상기 하드마스크막(111) 및 상기 제1 게이트 도전막(109)에 대하여 식각선택비를 갖는다.

<58> 이어서, 상기 노출된 제1 게이트 도전막(109), 블로킹 절연막(107), 트랩절연막(105) 및 터널절연막(103)을 연속적으로 이방성 식각하여 컨트롤 게이트 패턴(110)을 형성한다. 상기 컨트롤 게이트 패턴(110)은 차례로 적층된 터널절연막 패턴(103a), 트랩절연막 패턴(105a), 블로킹 절연막 패턴(107a) 및 컨트롤 게이트 전극(109a)으로 구성된다. 상기 보호막(123)이 열산화막으로 형성될 경우에, 상기 블로킹절연막(107)과 동일한 실리콘산화막임으로, 상기 블로킹 절연막(107) 식각시, 상기 활성영역(102) 상에 형성된 상기 보호막(123)은 식각되어 상기 반도체기판(101)이 노출될 수 있다. 이때, 이방성 식각으로 인하여, 상기 선택 게이트 전극(121a)

의 곡면측벽 상에 형성된 상기 보호막(123)은 일부분만이 식각되어 상기 곡면측벽 하부에 잔여 보호막(123')이 형성될 수 있다. 또한, 상기 게이트 절연막 패턴(119a) 역시 상기 블로킹절연막(107) 식각시, 그 일부가 식각될 수 있다.

<59> 상기 보호막(123)이 다른 물질막으로 형성될 경우에, 상기 보호막(123)을 제거하는 공정을 더 추가할 수 있다.

<60> 상기 컨트롤 게이트 패턴(110)은 상기 선택 게이트 전극(121a)과 평행한 라인형태이다. 상기 컨트롤 게이트 패턴(110)은 상기 층계진 그루브(124)의 측벽 중 돌출된 부분에 해당한다. 상기 컨트롤 게이트 패턴(110)의 일측벽 및 상부면은 상기 선택 게이트 전극(121a)에 의해 감싸지며, 상기 컨트롤 게이트 패턴(110)의 타측벽은 노출된다. 상기 컨트롤 게이트 패턴(110)은 상기 컨트롤 게이트 패턴(110) 상부에 형성된 상기 게이트 절연막 패턴(119a)의 측벽과 자기 정렬되어 형성된다.

<61> 상기 선택 게이트 전극(121a) 및 상기 컨트롤 게이트 패턴(110)을 형성하는데 있어서, 패턴을 정의하는 포토리소그라피 공정이 요구되지 않는다. 즉, 상기 선택 게이트 전극(121a)은 상기 층계진 그루브(118)의 내측벽에 스페이서 형태로 형성되며, 상기 컨트롤 게이트 패턴(110)은 상기 컨트롤 게이트 패턴(110) 상부의 상기 게이트 절연막 패턴(119a)에 의해 자기정렬되어 형성된다. 이에 따라, 상기 선택 게이트 전극(121a) 및 상기 컨트롤 게이트 패턴(110)은 포토리소그라피 공정이 정의할 수 있는 최소선폭 보다 작게 형성할 수 있다. 결과적으로, 본 발명에 따른 비휘발성 기억 셀은 고집적화에 적합하다.

<62> 상기 컨트롤 게이트 패턴(110) 하부의 상기 활성영역에 정의된 제1 채널영역(a) 및 상기 선택 게이트 전극(119a) 하부의 상기 활성영역에 정의된 제2 채널영역(b)은 셀 채널영역(c)을 구성한다.

<63> 도 10을 참조하면, 상기 선택 게이트 전극(121a) 양측의 활성영역에 선택적으로 불순물 이온들을 주입하여 불순물확산층들(125a, 125b)을 형성한다. 상기 제1 채널영역(a)에 인접한 불순물확산층(125a)은 드레인 영역(125a)에 해당하며, 상기 제2 채널영역(b)에 인접한 불순물확산층(125b)은 소오스 영역(125b)에 해당한다. 상기 드레인/소오스 영역(125a, 125b)은 동시에 형성될 수 있다. 이와는 달리, 상기 드레인/소오스 영역(125a, 125b)은 순차적으로 형성할 수 있다. 상기 불순물 이온들을 주입하기 전에, 상기 활성영역의 표면을 보호하기 위한 버퍼절연막(미도시함)을 형성할 수 있다. 이어서, 상기 드레인/소오스 영역(125a, 125b)을 형성한 후에, 상기 버퍼절연막을 세정공정등으로 제거할 수 있다. 이때, 상기 잔여 보호막(123')도 함께 제거될 수 있다.

<64> 상기 드레인/소오스 영역(125a, 125b)을 갖는 반도체기판(101)의 전면에 금속막(127)을 형성한다. 상기 금속막(127)은 코발트, 니켈 및 티타늄으로 구성된 그룹에서 선택된 하나로 형성할 수 있다.

<65> 상기 금속막(127)을 갖는 반도체기판(101)에 열공정을 진행하여 상기 드레인/소오스 영역(125a, 125b), 상기 선택 게이트 전극(121a) 측벽의 소정영역 및 상기 컨트롤 게이트 전극(109a)의 노출된 측벽 표면에 금속실리사이드막(도 3의 127a)을 형성한다. 이어서, 미반응된 금속막을 제거함으로써, 도 3에 도시된 비휘발성 기억 셀을 구현할 수 있다. 상기 금속실리사이드막은 상기 금속의 종류에 따라, 코발트실리사이드막, 티타늄실리사이드막 또는 니켈실리사이드막으로 형성될 수 있다.

<66> (제2 실시예)

<67> 제2 실시예에 따른 비휘발성 기억 소자의 특징은 한 쌍의 비휘발성 기억 셀들이 드레인 영역을 공유한다. 즉, 한 쌍의 컨트롤 게이트 패턴의 노출된 측벽이 서로 마주보도록 배치되어 있다.

<68> 도 11은 본 발명의 다른 실시예에 따른 부유 트랩형 비휘발성 기억 소자를 설명하기 위한 평면도이며, 도 12는 도 11의 II-II'을 따라 취해진 단면도이다.

<69> 도 11 및 도 12를 참조하면, 반도체기판(201)의 소정영역에 소자분리막에 의해 한정된 활성영역(202)이 배치된다. 한 쌍의 컨트롤 게이트 패턴들(210)이 상기 활성영역(202) 상부를 나란히 가로지른다. 상기 컨트롤 게이트 패턴(210)은 상기 반도체기판(201) 상에 차례로 적층된 터널절연막 패턴(203b), 트랩절연막 패턴(205b), 블로킹절연막 패턴(207b) 및 컨트롤 게이트 전극(209b)으로 구성된다. 상기 터널절연막 패턴(203b)은 실리콘산화막 또는 실리콘산화질화막으로 이루어질 수 있다. 상기 트랩절연막 패턴(205b)은 데이터 저장장소로서, 트랩밀도가 높은 절연막으로 형성한다. 예를 들면, 실리콘질화막, 폴리실리콘 도트층(polsilicon dots layer) 및 질화막 도트층(nitride dots layer)으로 구성된 그룹 중에 선택된 적어도 하나로 이루어지는 것이 바람직하다. 상기 블로킹절연막 패턴(207b)은 상기 트랩절연막 패턴(205b) 및 상기 컨트롤 게이트 전극(209b) 간의 전하들의 흐름을 차단한다. 상기 블로킹절연막 패턴(207b)은 실리콘산화막으로 이루어질 수 있다. 상기 컨트롤 게이트 전극(209b)은 비휘발성 기억 셀의 프로그램 또는 소거동작시, 프로그램 도는 소거 전압이 인가된다.

<70> 상기 컨트롤 게이트 패턴(210)의 일측의 상기 활성영역(202) 상부를 가로지르는 선택 게이트 전극(221a)이 배치된다. 상기 선택 게이트 전극(221a)은 상기 컨트롤 게이트 패턴(210)과 평행하다. 상기 선택 게이트 전극(221a)은 상기 컨트롤 게이트 패턴(210)의 일측벽 및 상부면을 감싸는 스페이서 형태(spacer-shaped)인 것이 바람직하다. 이때, 상기 컨트롤 게이트 패턴

(210)의 타측벽은 노출된다. 다시 말해서, 상기 선택 게이트 전극(221a)은 곡면측벽 및 평면측벽을 갖는 스페이서 형태이며, 상기 평면측벽의 하부에 옆으로 함몰된 영역이 위치한다. 상기 함몰된 영역내에 상기 컨트롤 게이트 패턴(210)이 내재되어 있다. 한 쌍의 상기 선택 게이트 전극들(221a)은 그 것의 평면측벽이 서로 마주보는 대칭구조인 것이 바람직하다. 이에 따라, 상기 한 쌍의 컨트롤 게이트 패턴(210)의 노출된 측벽들 역시 서로 마주보도록 배치된다.

<71> 상기 선택 게이트 전극(221a)과 상기 활성영역(202) 사이 및 상기 선택 게이트 전극(221a)과 상기 컨트롤 게이트 패턴(210) 사이에 게이트 절연막 패턴(219a)이 개재된다. 상기 게이트 절연막 패턴(219a)은 연장되어 상기 컨트롤 게이트 패턴(210)의 상부면 위에 위치한 상기 선택 게이트 전극(219a)의 평면측벽을 덮는 것이 바람직하다. 이때, 상기 컨트롤 게이트 패턴(210) 노출된 측벽 및 상기 컨트롤 게이트 패턴(210) 상부의 상기 게이트 절연막 패턴(219a)의 노출된 측벽은 같은 수직선상에 위치하는 것이 바람직하다.

<72> 상기 컨트롤 게이트 전극(209b) 하부의 활성영역에 정의된 제1 채널영역(a') 및 상기 컨트롤 게이트 패턴(210) 일측에 위치한 상기 선택 게이트 전극(221a) 하부의 활성영역에 정의된 제2 채널영역(b')은 셀 채널영역(c')을 구성한다.

<73> 상기 셀 채널영역(c') 양측의 상기 활성영역(202)에 각각 불순물확산층인 드레인/소오스 영역(225a,225b)이 배치된다. 상기 드레인 영역(225a)은 상기 제1 채널영역(a')과 접하고, 상기 소오스 영역(225b)은 상기 제2 채널영역(b')과 접한다. 상기 드레인 영역(225a)은 상기 한 쌍의 컨트롤 게이트 패턴(210) 사이에 개재되어 한 쌍의 상기 제1 채널영역들과 접하는 공통 드레인 영역인 것이 바람직하다.

<74> 상기 게이트 절연막 패턴(219a)의 두께는 상기 컨트롤 게이트 전극(209a) 및 상기 활성 영역(202) 사이에 개재된 상기 절연막들(203b,205b,207b)의 두께에 합보다 얇다.

<75> 상기 선택 게이트 전극(221a)은 도전막으로 이루어진다. 예를 들면, 도핑된 폴리실리콘 막으로 이루어지는 것이 바람직하다. 상기 게이트 절연막 패턴(219a)은 실리콘산화막으로 이루어질 수 있다. 특히, CVD 실리콘산화막 또는 열경화된 CVD 실리콘산화막으로 이루어질 수 있다.

<76> 상기 선택 게이트 전극(221a) 측벽의 소정영역, 상기 드레인/소오스 영역(225a, 225b) 및 상기 컨트롤 게이트 전극(209a)의 노출된 측벽 표면에 금속실리사이드막(227a)이 배치되는 것이 바람직하다. 상기 금속실리사이드막(227a)은 코발트실리사이드막, 티타늄실리사이드막 미치니켈실리사이드막으로 구성된 그룹 중 선택된 적어도 하나로 이루어질 수 있다.

<77> 상기 선택 게이트 전극(221a)의 곡면측벽의 하부에 잔여 보호막(223')이 배치될 수 있다. 이 경우에, 상기 금속실리사이드막(227a)은 상기 잔여 보호막(223')이 형성되지 않은 상기 선택 게이트 전극(221a)의 곡면측벽에 위치할 수 있다. 상기 잔여 보호막(223')은 생략될 수 있다.

<78> 상기 컨트롤 게이트 패턴(210), 상기 선택 게이트 전극(221a), 상기 게이트 절연막 패턴(219a) 및 상기 드레인/소오스 영역(225a, 225b)은 비휘발성 기억 셀을 구성한다.

<79> 상술한 비휘발성 기억 셀의 동작 방법들은 상술한 제1 실시예와 동일한 방법들로 진행할 수 있다. 즉, 프로그램 동작시, 상기 선택 게이트 전극(221a)에 선택 전압을 인가하고, 상기 컨트롤 게이트 전극(209a)에 프로그램 전압을 인가한다. 상기 소오스 영역(225b) 및 상기 드레인 영역(225a)은 각각 기준전압 및 드레인 전압이 인가된다. 소거 동작시에는, 상기 소오스 영역(225b) 및 상기 선택 게이트 전극(221a)에 기준전압을 인가하고, 상기 드레인 영역(225a) 및 상기 컨트롤 게이트 전극(209b)에는 각각 드레인 전압 및 소거전압을 인가한다. 읽기 동작시에는, 상기 선택 게이트 전극(221a) 및 상기 컨트롤 게이트 전극(209b)에 각각 선택 전압 및

판독 전압을 인가한 후에, 상기 드레인/소오스 영역(225a, 225b) 사이에 소정의 전압을 인가한다. 이에 따라, 상기 비휘발성 기억 셀로 부터 데이타를 읽는다.

<80> 상기 비휘발성 기억 셀은 상술한 제1 실시예와 마찬가지로, 상기 선택 게이트 전극(221a) 및 상기 컨트롤 게이트 전극(209b)은 서로 전기적으로 격리되어 있다. 이에 따라, 상기 선택 게이트 전극(221a) 및 상기 컨트롤 게이트 전극(209b)은 서로 다른 전압들을 인가할 수 있으며, 상기 선택 게이트 전극(221a)에는 상기 컨트롤 게이트 전극(209a)에 비하여 낮은 전압을 인가할 수 있다. 또한, 종래에 비하여 상기 절연막 패턴들(203b, 205b, 207b) 하부의 채널길이가 짧아짐으로 인하여, 상기 컨트롤 게이트 전극(209b)에 인가되는 소거 또는 프로그램 전압을 감소시킬 수 있다. 이에 따라, 상기 드레인/소오스 영역(225a, 225b)간의 편치스루 특성을 개선할 수 있다.

<81> 결과적으로, 상기 비휘발성 기억 셀은 소비전력을 감소시킬 수 있으며, 고집적화에 적합하다.

<82> 도 13 내지 도 17은 도 11의 II-II'을 따라 취해진 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 형성방법을 설명하기 위한 단면도들이다.

<83> 도 13을 참조하면, 반도체기판(201)에 소자분리막을 형성하여 활성영역(도 11의 202)을 한정한다. 상기 활성영역을 갖는 반도체기판(201) 상에 터널절연막(203), 트랩절연막(205), 블로킹절연막(207), 제1 게이트 도전막(209) 및 하드마스크막(211)을 차례로 형성한다. 상기 터널절연막(203)은 열산화막, CVD 실리콘산화막 또는 실리콘산화질화막으로 형성할 수 있다. 상기 터널절연막(203)을 실리콘산화질화막으로 형성할 경우, 상기 활성영역을 갖는 반도체기판(201)에 일산

화이질소(N_2O) 또는 일산화질소(NO) 가스 분위기의 열공정을 진행하여 형성할 수 있다. 상기 트랩절연막(205)은 트랩밀도가 높은 절연막, 예컨대, 실리콘질화막, 폴리실리콘 도트층 및 질화물 도트층으로 구성된 그룹에서 선택된 적어도 하나로 형성하는 것이 바람직하다. 상기 트랩 절연막(205)이 실리콘질화막으로 형성될 경우, CVD 실리콘질화막으로 형성할 수 있다. 이와는 달리, 상기 터널절연막(203)의 표면에 질화공정을 진행하여 형성할 수도 있다. 상기 블로킹절연막(207)은 CVD 실리콘산화막으로 형성할 수 있다.

<84> 상기 제1 게이트 도전막(209)은 도전막, 예컨대, 도핑된 폴리실리콘막으로 형성할 수 있다. 상기 하드마스크막(211)은 상기 제1 게이트 도전막(209)에 대하여 식각선택비를 갖는 물질막으로 형성한다. 예컨대, 실리콘질화막으로 형성할 수 있다.

<85> 도 14 및 도 15를 참조하면, 상기 하드마스크막(211)을 패터닝하여 상기 활성영역의 상부를 가로지르는 라인 형태의 하드마스크 패턴(211a)을 형성한다. 상기 하드마스크 패턴(211a) 양측벽에 스페이서(215)를 형성한다. 상기 스페이서(215)는 상기 제1 게이트 도전막(209)에 대하여 식각선택비를 갖는 물질막으로 형성한다. 예를 들면, 실리콘산화막으로 형성할 수 있다.

<86> 이어서, 상기 하드마스크 패턴(211a) 및 상기 스페이서(215)를 식각마스크로 사용하여 상기 제1 게이트 도전막(209), 상기 블로킹절연막(207), 상기 트랩절연막(205) 및 상기 터널절연막(203)을 연속적으로 패터닝하여 라인

패턴(216)을 형성한다. 상기 라인 패턴(216)은 차례로 적층된 예비 터널절연막 패턴(203a), 예비 트랩절연막 패턴(205a), 예비 블로킹절연막 패턴(207a), 제1 게이트 도전막 패턴(209a) 및 상기 하드마스크 패턴(211a)으로 구성된다. 상기 라인 패턴(216)의 측벽은 상기 스페이서(215)로 인하여, 상기 제1 게이트 도전막 패턴(209a), 예비 블로킹절연막 패턴(207a), 예비 트랩절연막 패턴(205a) 및 터널절연막 패턴(203a)이 상기 하드마스크 패턴(211a)에 비하여 돌출된다. 즉, 상기 라인 패턴(216)은 측벽이 계단형태를 갖는다.

<87> 이어서, 상기 스페이서(215)를 제거한다. 상기 스페이서(215)가 실리콘산화막으로 형성될 경우, 상기 블로킹절연막(207)이 식각될 때, 일부분이 식각될 수 있다. 하지만, 상기 제1 게이트 도전막 패턴(209a)가 형성되어 있음으로, 상기 제1 게이트 도전막 패턴(209a)이 마스크막으로 작용할 수 있다.

<88> 상기 라인 패턴(216)을 갖는 반도체기판(201) 전면에 게이트 절연막(2190을 콘포말하게 형성한다. 상기 게이트 절연막(219)은 CVD 실리콘산화막으로 형성할 수 있다. 이에 더하여, 상기 게이트 절연막(219)은 CVD 실리콘산화막을 증착한 후에, 고온의 열공정을 진행할 수 있다.

<89> 상기 게이트 절연막(219) 상에 제2 게이트 도전막(221)을 형성한다. 상기 제2 게이트 도전막(221)은 도전막인 도핑된 폴리실리콘막으로 형성하는 것이 바람직하다.

<90> 도 16 및 도 17을 참조하면, 상기 제2 게이트 도전막(221) 및 상기 게이트 절연막(219)을 전면 이방성 식각하여 선택 게이트 전극(221a) 및 게이트 절연막 패턴(219a)을 형성한다. 상기 선택 게이트 전극(221a)은 상기 라인 패턴(216)의 돌출된 부분의 측벽 및 상부면을 감싸는 스페이서 형태이다. 상기 게이트 절연막 패턴(219a)은 상기 선택 게이트 전극(221a)과 상기 반도체기판(201) 사이 및 상기 선택 게이트 전극(221a) 및 상기 라인 패턴(216)의 측벽 사이에 개재된다. 이때, 상기 하드마스크 패턴(211a)의 상부면 및 상기 선택 게이트 전극(221a) 일

측의 상기 활성영역은 노출된다. 상기 라인 패턴 양측벽에 형성된 한 쌍의 상기 선택 게이트 전극들(221a)은 상기 활성영역 상부를 나란히 가로지르며, 서로 대칭적인 구조이다.

<91> 상기 선택 게이트 전극(221a)의 곡면 측벽 및 상기 노출된 반도체기판(201)의 표면에 보호막(223)을 형성한다. 상기 보호막(223)은 상기 하드마스크 패턴(211a) 및 상기 제1 게이트 도전막 패턴(209a)에 대하여 식각선택비를 갖는 물질막으로 형성한다. 예를 들면, 열산화막으로 형성하는 것이 바람직하다.

<92> 상기 보호막(223) 및 상기 게이트 절연막 패턴(219a)을 식각마스크로 사용하여 상기 하드마스크 패턴(211a)을 식각공정으로 제거한다. 이에 따라, 상기 하드마스크 패턴(211a) 하부의 상기 제1 게이트 도전막 패턴(209a)이 노출된다. 상기 노출된 제1 게이트 도전막 패턴, 예비 블로킹절연막 패턴(207a), 예비 트랩절연막 패턴(205a) 및 예비 터널절연막 패턴(207a)을 연속적으로 이방성식각하여 컨트롤 게이트 패턴(210)을 형성한다. 상기 컨트롤 게이트 패턴(210)은 상기 컨트롤 게이트 패턴(210) 상부의 상기 게이트 절연막 패턴(219a)의 측벽에 자기정렬된 측벽을 갖는다. 상기 자기정렬된 측벽은 노출된다. 상기 컨트롤 게이트 패턴(210)은 적층된 터널절연막 패턴(203b), 트랩절연막 패턴(205b), 블로킹절연막 패턴(207b) 및 컨트롤 게이트 전극(209b)으로 구성된다. 상기 컨트롤 게이트 패턴(210)은 상기 선택 게이트 전극(221a)과 평행한 라인 형태이며, 상기 활성영역 상부를 가로지른다. 상기 컨트롤 게이트 패턴(210)은 상기 라인 패턴(216) 측벽의 돌출된 부분에 해당한다. 즉, 상기 컨트롤 게이트 패턴(210)의 일측벽 및 상부면은 상기 선택 게이트 전극(221a)에 의해 감싸진다.

<93> 상기 보호막(223) 및 상기 컨트롤 게이트 패턴(210) 상부의 상기 게이트 절연막 패턴(219a)은 상기 예비 블로킹절연막 패턴(207a) 식각시, 식각될 수 있다. 이에 따라, 상기 보호막(223) 아래의 반도체기판(201)이 노출될 수 있다. 이 경우, 상기 선택 게이트 전극(221a)의

곡면측벽 상에 형성된 보호막은 이방성 식각으로 인하여, 상기 곡면측벽 하부에 잔여 보호막(223')이 형성될 수 있다. 상기 보호막(223)이 상기 예비 블로킹절연막 패턴(207a)과 다른 식각율을 갖는 물질막일 경우에, 상기 보호막(223)을 제거하는 공정을 추가할 수 있다.

<94> 상기 컨트롤 게이트 전극(209b) 하부의 활성영역에 정의된 제1 채널영역(a') 및 상기 컨트롤 게이트 전극(209b) 일측에 위치한 상기 선택 게이트 전극(221a) 하부의 활성영역에 정의된 제2 채널영역(b')은 셀 채널영역(c')을 구성한다.

<95> 상기 셀 채널영역(c') 양측의 활성영역에 선택적으로 불순물이온들을 주입하여 불순물 확산층인 드레인/소오스 영역(225a,225b)을 형성한다. 상기 드레인 영역(225a)은 상기 제1 채널영역(a')과 접하고, 상기 소오스 영역(225b)은 상기 제2 채널영역(b')과 접한다. 상기 드레인/소오스 영역(225a,225b)은 동시에 형성할 수 있다. 이와는 달리, 상기 드레인/소오스 영역(225a,225b)은 순차적으로 형성할 수 있다. 상기 불순물이온들을 주입하기 전에, 상기 활성영역의 표면을 보호하기 위한 버퍼절연막(미도시함)을 형성할 수 있다. 상기 소오스/드레인 영역(225b,225a)을 형성한 후에, 상기 버퍼절연막을 제거하는 세정공정시, 상기 잔여 보호막(223')이 제거될 수 있다.

<96> 상기 드레인/소오스 영역(225a,225b)을 갖는 반도체기판(201) 전면에 금속막(227)을 형성한다. 상기 금속막(227)은 코발트, 니켈 및 티타늄으로 구성된 그룹에서 선택된 하나로 형성할 수 있다.

<97> 상기 금속막(127)을 갖는 반도체기판(201)에 열공정을 진행하여 상기 드레인 영역/소오스 영역(225a,125b), 상기 선택 게이트 전극(221a) 측벽의 소정영역 및 상기 컨트롤 게이트 전극(209b)의 노출된 측벽 표면에 금속실리사이드층(도 12의 227a)을 형성한다. 이어서, 미반응된 금속막을 제거함으로써, 도 11에 도시된 비휘발성 기억 셀을 구현할 수 있다.

<98> 상술한 형성방법에 있어서, 상기 선택 게이트 전극(221a) 및 상기 컨트롤 게이트 패턴(210)을 형성하는 방법은 포토리소그라피 공정이 요구되지 않는다. 즉, 상기 선택 게이트 전극(221a)은 상기 라인 패턴(216)에 스페이서 형태로 형성되고, 상기 컨트롤 게이트 패턴(210)은 상기 선택 게이트 전극(221a) 및 상기 게이트 절연막 패턴(219a)에 의해 자기정렬되어 형성된다. 이에 따라, 상기 선택 게이트 전극(221a) 및 상기 컨트롤 게이트 패턴(110)은 포토리소그라피 공정이 정의할 수 있는 최소선폭 보다 작게 형성할 있다. 결과적으로, 상기 비휘발성 기억 셀은 고직접화에 적합하다.

<99> 본 발명의 제1 실시예 및 제2 실시예에 따른 비휘발성 기억 셀들 및 그 형성방법에서 서로 대응되는 구성요소들은 동일한 물질로 형성할 수 있다.

【발명의 효과】

<100> 상술한 바와 같이, 본 발명에 따르면, 비휘발성 기억 소자의 셀은 선택 게이트 전극에 제어되는 제1 채널영역 및 컨트롤 게이트 전극에 제어되는 제2 채널영역으로 구성된 셀 채널영역을 갖는다. 상기 제1 채널영역 상의 게이트 절연막 패턴의 두께는 상기 제2 채널영역 상의 절연막 패턴들(터널절연막 패턴, 트랩절연막 패턴, 블로킹절연막 패턴)의 두께의 합에 비하여 얇다. 이에 따라, 상기 선택 게이트 전극에는, 고전압의 프로그램 또는 소거 전압이 인가되지 않으며, 상기 컨트롤 게이트 전극에 인가되는 프로그램 또는 소거 전압은 종래에 그것 보다 감소시킬 수 있다. 그 결과, 비휘발성 기억 소자의 소비전력을 감소시키고, 편치스루 특성을 개선할 수 있다. 또한, 상기 컨트롤 게이트 전극 및 상기 선택 게이트 전극은 포토리소그라피 공정없이 자기정렬되어 형성됨으로써, 포토리소그라피 공정의 최소선폭보다 작게 형성할 수 있다.

<101> 결과적으로, 본 발명에 따른 비휘발성 기억 소자는 저소비전력을 구현할 수 있으며, 고 집적화에 적합하다.

【특허청구범위】**【청구항 1】**

반도체기판 상부에 배치되어, 적층된 터널절연막 패턴, 트랩절연막 패턴, 블로킹절연막 패턴 및 컨트롤 게이트 전극으로 구성된 컨트롤 게이트 패턴;
상기 컨트롤 게이트 패턴 일측의 상기 반도체기판 상부에 배치된 선택 게이트 전극;
상기 선택 게이트 전극과 상기 반도체기판 사이 및 상기 선택 게이트 전극과 상기 컨트롤 게이트 패턴 사이에 개재된 게이트 절연막 패턴; 및
상기 선택 게이트 전극 하부의 반도체기판에 정의된 제1 채널영역 및 상기 컨트롤 게이트 패턴 하부의 반도체기판에 정의된 제2 채널영역으로 구성된 셀 채널영역을 포함하는 비휘발성 기억 소자.

【청구항 2】

제 1 항에 있어서,

상기 터널절연막 패턴은 실리콘산화막 및 실리콘산화질화막으로 구성된 그룹에서 선택된 적어도 하나로 이루어지는 것을 특징으로 하는 비휘발성 기억 소자.

【청구항 3】

제 1 항에 있어서,

상기 트랩절연막 패턴은 실리콘질화막, 폴리실리콘도트층(polysilicon dots layer) 및 질화막 도트층(nitride dots layer)으로 구성된 그룹에서 선택된 적어도 하나로 이루어지는 것을 특징으로 하는 비휘발성 기억 소자.

【청구항 4】

제 1 항에 있어서,

상기 선택 게이트 전극은 상기 컨트롤 게이트 패턴의 일측벽 및 상부면을 덮는 스페이서 형태이되, 상기 게이트 절연막 패턴은 연장되어 상기 선택 게이트 전극 및 상기 컨트롤 게이트 패턴의 상부면 사이에 개재되는 것을 특징으로 하는 비휘발성 기억 소자.

【청구항 5】

제 1 항에 있어서,

상기 게이트 절연막 패턴의 두께는 상기 터널절연막 패턴, 상기 트랩절연막 패턴 및 상기 블로킹절연막 패턴의 두께의 합보다 얇은 것을 특징으로 하는 비휘발성 기억 소자.

【청구항 6】

제 1 항에 있어서,

상기 셀 채널영역 양측의 상기 반도체기판에 형성된 소오스/드레인 영역을 더 포함하되, 상기 드레인 영역은 상기 제1 채널영역과 접하고, 상기 소오스 영역은 상기 제2 채널영역과 접하는 것을 특징으로 하는 비휘발성 기억 소자.

【청구항 7】

제 6 항에 있어서,

상기 선택 게이트 전극 측벽의 소정영역, 상기 컨트롤 게이트 전극의 노출된 측벽 및 상기 소오스/드레인 영역의 표면에 형성된 금속실리사이드막을 더 포함하는 것을 특징으로 하는 비휘발성 기억 소자.

【청구항 8】

반도체기판 상부에 나란히 배열되어, 각각은 적층된 터널절연막 패턴, 트랩절연막 패턴, 블로킹절연막 패턴 및 컨트롤 게이트 전극으로 구성된 한 쌍의 컨트롤 게이트 패턴들;

상기 컨트롤 게이트 패턴 일측의 상기 반도체기판 상부에 상기 컨트롤 게이트 패턴과 평행하게 배치된 선택 게이트 전극;

상기 선택 게이트 전극과 상기 반도체기판 사이 및 상기 선택 게이트 전극과 상기 컨트롤 게이트 패턴 사이에 개재된 게이트 절연막 패턴; 및

상기 컨트롤 게이트 패턴 하부의 반도체기판에 정의된 제1 채널영역 및 상기 선택 게이트 패턴 하부의 반도체기판에 정의된 제2 채널영역으로 구성된 셀 채널영역을 포함하되, 한 쌍의 상기 선택 게이트 전극들은 서로 대칭적인 구조인 것을 특징으로 하는 비휘발성 기억 소자.

【청구항 9】

제 8 항에 있어서,

상기 터널절연막 패턴은 실리콘산화막 및 실리콘산화질화막으로 구성된 그룹에서 선택된 적어도 하나로 이루어지는 것을 특징으로 하는 비휘발성 기억 소자.

【청구항 10】

제 8 항에 있어서,

상기 트랩절연막 패턴은 실리콘질화막, 폴리실리콘도트층(polysilicon dots layer) 및 질화막 도트층(nitride dots layer)으로 구성된 그룹에서 선택된 적어도 하나로 이루어지는 것을 특징으로 하는 비휘발성 기억 소자.

【청구항 11】

제 8 항에 있어서,

상기 선택 게이트 전극은 상기 컨트롤 게이트 패턴의 일측벽 및 상부면을 덮는 스페이서 형태(spacer-shaped)이 되, 상기 게이트 절연막 패턴은 연장되어 상기 선택 게이트 전극 및 상기 컨트롤 게이트 패턴의 상부면 사이에 개재되는 것을 특징으로 하는 비휘발성 기억 소자.

【청구항 12】

제 8 항에 있어서,

상기 한 쌍의 선택 게이트 전극들은 상기 한 쌍의 컨트롤 게이트 패턴들 사이에 배치되는 것을 특징으로 하는 비휘발성 기억 소자.

【청구항 13】

제 12 항에 있어서,

상기 셀 채널영역 양측의 상기 반도체기판에 각각 형성되고, 상기 제1 채널영역과 접하는 드레인 영역 및 상기 제2 채널영역과 접하는 소오스 영역을 더 포함하되, 상기 소오스 영역은 상기 한 쌍의 선택 게이트 전극들 사이에 개재되어 상기 한 쌍의 제2 채널영역들과 접하는 공통 소오스 영역인 것을 특징으로 하는 비휘발성 기억 소자.

【청구항 14】

제 8 항에 있어서,

상기 한 쌍의 컨트롤 게이트 패턴들은 상기 한 쌍의 선택 게이트 전극들 사이에 배치되는 것을 특징으로 하는 비휘발성 기억 소자.

【청구항 15】

제 12 항에 있어서,

상기 셀 채널영역 양측의 상기 반도체기판에 각각 형성되되, 상기 제1 채널영역과 접하는 드레인 영역 및 상기 제2 채널영역과 접하는 소오스 영역을 더 포함하되, 상기 드레인 영역은 상기 한 쌍의 컨트롤 게이트 패턴 사이에 개재되어 상기 한 쌍의 제1 채널영역들과 접하는 공통 드레인 영역인 것을 특징으로 하는 비휘발성 기억 소자.

【청구항 16】

제 9 항에 있어서,

상기 게이트 절연막 패턴의 두께는 상기 터널절연막 패턴, 상기 트랩절연막 패턴 및 상기 블로킹절연막 패턴의 두께의 합보다 얇은 것을 특징으로 하는 비휘발성 기억 소자.

【청구항 17】

반도체기판 상에 터널절연막, 트랩절연막, 블로킹절연막, 제1 게이트 도전막 및 하드마스크막을 차례로 형성하는 단계;

상기 하드마스크막, 제1 게이트 도전막, 터널절연막, 트랩절연막 및 블로킹절연막을 패터닝하여 상기 반도체기판의 소정영역을 노출시키되, 측벽 중 상기 터널절연막, 트랩절연막, 블로킹절연막 및 제1 게이트 도전막이 돌출된 층계진 그루브(steped groove)를 형성하는 단계;

상기 층계진 그루브의 내측벽에 상기 돌출된 부분을 감싸는 스페이서 형태의 선택 게이트 전극과, 상기 선택 게이트 전극과 상기 층계진 그루브의 내측벽 사이 및 상기 선택 게이트 전극과 상기 반도체기판 사이에 개재된 게이트 절연막 패턴을 형성하는 단계; 및

상기 충계진 그루브의 내측벽과 접하는 상기 게이트 절연막 패턴의 측벽에 자기정렬된 측벽을 갖는 컨트롤 게이트 패턴을 형성하는 단계를 포함하되, 상기 컨트롤 게이트 패턴은 차례로 적층된 터널절연막 패턴, 트랩절연막 패턴, 블로킹절연막 패턴 및 컨트롤 게이트 전극으로 구성되는 것을 특징으로 하는 비휘발성 기억소자의 형성방법.

【청구항 18】

제 17 항에 있어서,

상기 터널절연막은 실리콘산화막 및 실리콘산화질화막으로 구성된 그룹에서 선택된 적어도 하나로 형성하는 것을 특징으로 하는 비휘발성 기억 소자의 형성방법.

【청구항 19】

제 17 항에 있어서,

상기 트랩절연막은 실리콘질화막, 폴리실리콘 도트층 및 질화막 도트층으로 구성된 그룹에서 선택된 적어도 하나로 형성하는 것을 특징으로 하는 비휘발성 기억 소자의 형성방법.

【청구항 20】

제 17 항에 있어서,

상기 충계진 그루브를 형성하는 단계는,

상기 하드마스크막을 패터닝하여 상기 제1 게이트 도전막의 소정영역을 노출시키는 제1 그루브를 형성하는 단계;

상기 제1 그루브 측벽에 상기 제1 게이트 도전막에 대하여 식각선택비를 갖는 스페이서를 형성하는 단계;

상기 하드마스크막 및 상기 스페이서를 식각마스크로 사용하여 상기 제1 게이트 도전막, 상기 블로킹절연막, 상기 트랩절연막 및 상기 터널절연막을 이방성 식각하여 상기 반도체기판의 소정영역을 노출시키는 제2 그루브를 형성하는 단계; 및

상기 스페이서를 제거하는 단계를 포함하되, 상기 제1 및 제2 그루브는 상기 층계진 그루브를 구성하는 것을 특징으로 하는 비휘발성 기억 소자의 형성방법.

【청구항 21】

제 17 항에 있어서,

상기 선택 게이트 전극 및 상기 게이트 절연막 패턴을 형성하는 단계는,
상기 층계진 그루브를 갖는 반도체기판 전면에 게이트 절연막을 콘포말하게 형성하는 단계;

상기 게이트 절연막 상에 제2 게이트 도전막을 형성하는 단계; 및
상기 제2 게이트 도전막 및 상기 게이트 절연막을 전면 이방성 식각으로 식각하여 상기 층계진 그루브 내측벽에 스페이서 형태의 선택 게이트 전극과, 상기 선택 게이트 전극과 상기 반도체기판 사이 및 상기 선택 게이트 전극과 상기 반도체기판 사이에 개재된 게이트 절연막 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 기억 소자의 형성방법.

【청구항 22】

제 17 항에 있어서,

상기 컨트롤 게이트 패턴을 형성하는 단계는,
상기 선택 게이트 전극의 곡면측벽 및 상기 선택 게이트 전극 일측의 노출된 반도체기판 상에 보호막을 형성하는 단계; 및

상기 보호막 및 상기 게이트 절연막 패턴을 식각마스크로 사용하여 상기 하드마스크막, 제1 게이트 도전막, 블로킹 절연막, 트랩 절연막 및 터널 절연막을 이방성 식각으로 식각하여 상기 컨트롤 게이트 패턴을 형성하는 단계를 포함하되, 상기 보호막은 상기 하드마스크막 및 제1 게이트 도전막에 대하여 식각선택비를 갖는 물질막으로 형성하고, 상기 컨트롤 게이트 패턴은 상기 총계진 그루브의 돌출된 부분인 것을 특징으로 하는 비휘발성 기억 소자의 형성방법.

【청구항 23】

제 22 항에 있어서,

상기 보호막은 열산화막으로 형성하는 것을 특징으로 하는 비휘발성 기억 소자의 형성방법.

【청구항 24】

제 17 항에 있어서,

상기 선택 게이트 전극 양측의 상기 반도체기판에 선택적으로 불순물이온들을 주입하여 불순물 확산층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 기억 소자의 형성방법.

【청구항 25】

제 24 항에 있어서,

상기 불순물 확산층의 소정영역, 상기 선택 게이트 전극 측벽의 소정영역 및 상기 선택 게이트 전극의 자기정렬된 측벽 표면에 금속 실리사이드막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 기억 소자의 형성방법.

【청구항 26】

반도체기판 상에 터널절연막, 트랩절연막, 블로킹절연막, 제1 게이트 도전막 및 하드마스크막을 차례로 형성하는 단계;

상기 하드마스크막, 제1 게이트 도전막, 터널절연막, 트랩절연막 및 블로킹절연막을 패터닝하여 적층된 예비 터널절연막 패턴, 예비 트랩절연막 패턴, 예비 블로킹절연막 패턴, 제1 게이트 도전막 패턴 및 하드마스크 패턴으로 구성되되, 측벽 중 상기 제1 게이트 도전막 패턴, 예비 블로킹절연막 패턴, 예비 트랩절연막 패턴 및 예비 터널절연막 패턴이 돌출된 라인 패턴을 형성하는 단계;

상기 라인 패턴 측벽에 상기 돌출된 부분을 감싸는 스페이서 형태의 선택 게이트 전극 및, 상기 선택 게이트 전극과 상기 라인 패턴 측벽 사이 및 상기 선택 게이트 전극과 상기 반도체기판 사이에 개재된 게이트 절연막 패턴을 형성하는 단계; 및

상기 하드마스크 패턴과 접하는 상기 게이트 절연막 패턴의 측벽에 자기정렬된 측벽을 갖는 컨트롤 게이트 패턴을 형성하는 단계를 포함하되, 상기 컨트롤 게이트 패턴은 적층된 터널절연막 패턴, 트랩절연막 패턴, 블로킹절연막 패턴 및 컨트롤 게이트 패턴으로 구성되는 것을 특징으로 하는 비휘발성 기억 소자의 형성방법.

【청구항 27】

제 26 항에 있어서,

상기 터널절연막은 실리콘산화막 및 실리콘산화질화막으로 구성된 그룹 중에 선택된 적어도 하나로 형성하는 것을 특징으로 하는 비휘발성 기억 소자의 형성방법.

【청구항 28】

제 26 항에 있어서,

상기 트랩절연막은 실리콘질화막, 폴리실리콘 도트층 및 질화막 도트층으로 구성된 그룹 중에 선택된 적어도 하나로 형성하는 것을 특징으로 하는 비휘발성 기억 소자의 형성방법.

【청구항 29】

제 26 항에 있어서,

상기 라인 패턴을 형성하는 단계는,

상기 하드마스크막을 패터닝 하여 상기 제1 게이트 도전막 상에 라인형태의 하드마스크 패턴을 형성하는 단계;

상기 하드마스크 패턴 양측벽에 상기 제1 게이트 도전막에 대하여 식각선택비를 갖는 스페이서를 형성하는 단계;

상기 하드마스크 패턴 및 상기 스페이서를 식각마스크로 사용하여 상기 제1 게이트 도전막, 블로킹절연막, 트랩절연막 및 터널절연막을 이방성식각하여 적층된 예비 터널절연막 패턴, 예비 트랩절연막 패턴, 예비 블로킹절연막 패턴 및 제1 게이트 도전막 패턴을 형성하는 단계; 및

상기 스페이서를 제거하는 단계를 포함하되, 상기 예비 터널절연막 패턴, 예비 트랩절연막 패턴, 예비 블로킹절연막 패턴, 제1 게이트 도전막 패턴 및 하드마스크 패턴은 상기 라인 패턴을 구성하는 것을 특징으로 하는 비휘발성 기억 소자의 형성방법.

【청구항 30】

제 26 항에 있어서,

상기 선택 게이트 전극 및 상기 게이트 절연막 패턴을 형성하는 단계는,
상기 라인 패턴을 갖는 반도체기판 전면에 게이트 절연막을 콘포말하게 형성하는 단계;
상기 게이트 절연막 상에 제2 게이트 도전막을 형성하는 단계; 및
상기 제2 게이트 도전막 및 상기 게이트 절연막을 전면 이방성 식각으로 식각하여 상기
라인 패턴 양측벽에 스페이서 형태의 선택 게이트 전극과, 상기 선택 게이트 전극과 상기 반도
체기판 사이 및 상기 선택 게이트 전극과 상기 라인 패턴의 측벽 사이에 개재된 게이트 절연막
패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

【청구항 31】

제 26 항에 있어서,
상기 컨트롤 게이트 패턴을 형성하는 단계는,
상기 선택 게이트 전극의 곡면측벽 및 상기 선택 게이트 전극 일측의 반도체기판 상에
보호막을 형성하는 단계; 및
상기 보호막 및 상기 게이트 절연막 패턴을 식각마스크로 사용하여 상기 하드마스크 패
턴, 제1 게이트 도전막 패턴, 예비 블로킹절연막 패턴, 예비 트랩절연막 패턴 및 예비 터널절
연막 패턴을 이방성식각하여 상기 컨트롤 게이트 패턴을 형성하는 단계를 포함하되, 상기 보호
막은 상기 하드마스크막 및 상기 제1 게이트 도전막에 대하여 식각선택비를 갖는 물질막으로
형성하고, 상기 컨트롤 게이트 패턴은 상기 라인 패턴의 돌출된 부분인 것을 특징으로 하는 비
휘발성 기억 소자의 형성방법.

【청구항 32】

제 31 항에 있어서,

상기 보호막은 열산화막으로 형성하는 것을 특징으로 하는 비휘발성 기억 소자의 형성방법.

【청구항 33】

제 26 항에 있어서,

상기 선택 게이트 전극 양측의 반도체기판에 선택적으로 불순물이온들을 주입하여 불순물확산층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 기억 소자의 형성방법.

【청구항 34】

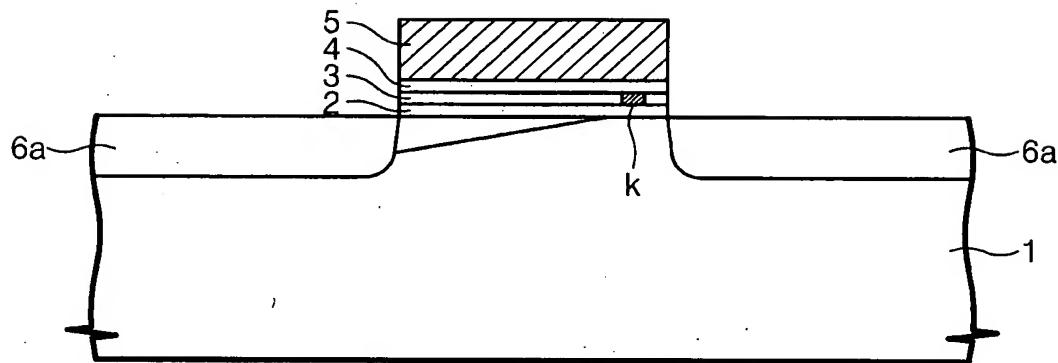
제 33 항에 있어서,

상기 불순물확산층의 소정영역, 상기 선택 게이트 전극 측벽의 소정영역 및 상기 컨트롤 게이트 전극의 자기정렬된 측벽의 표면에 금속실리사이드막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 기억 소자의 형성방법.

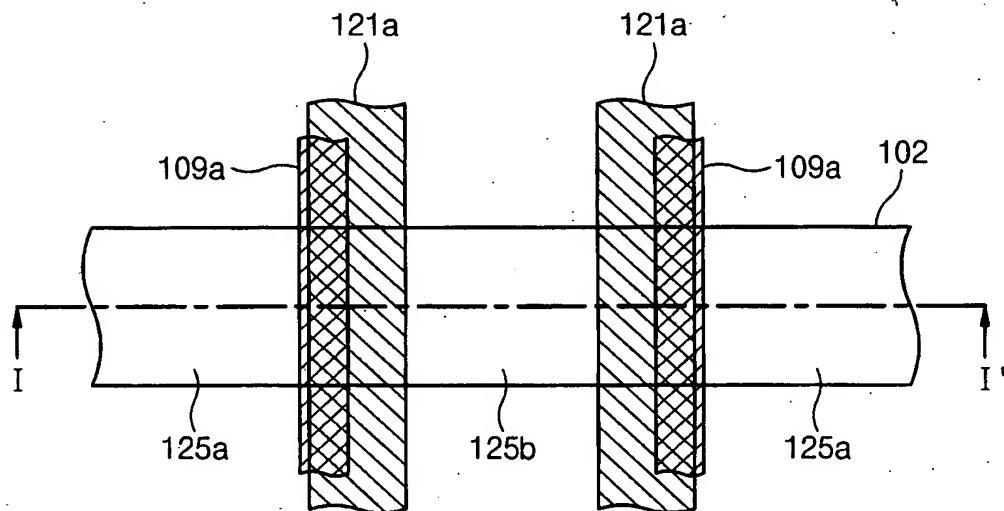
【도면】

【도 1】

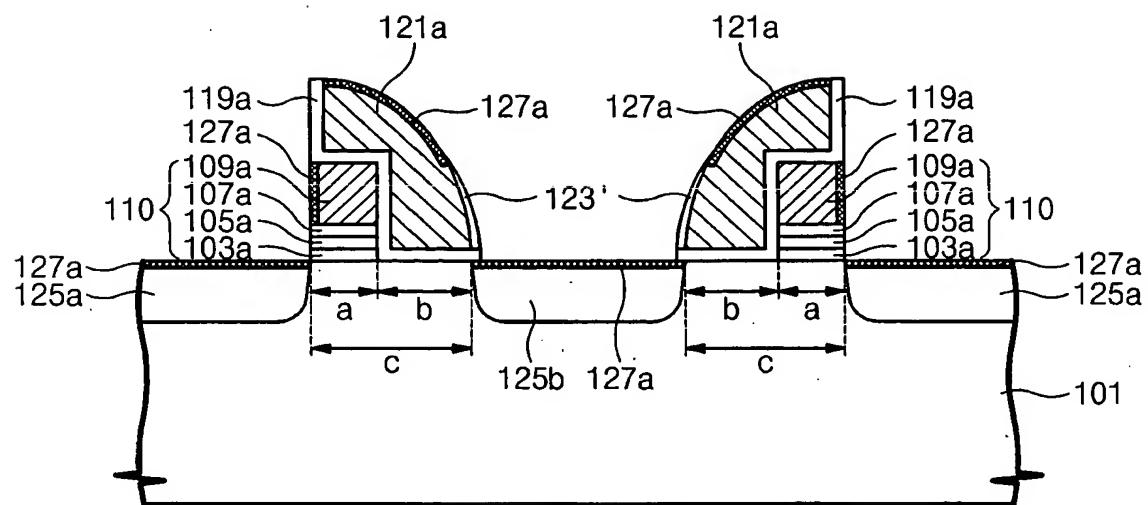
(종래 기술)



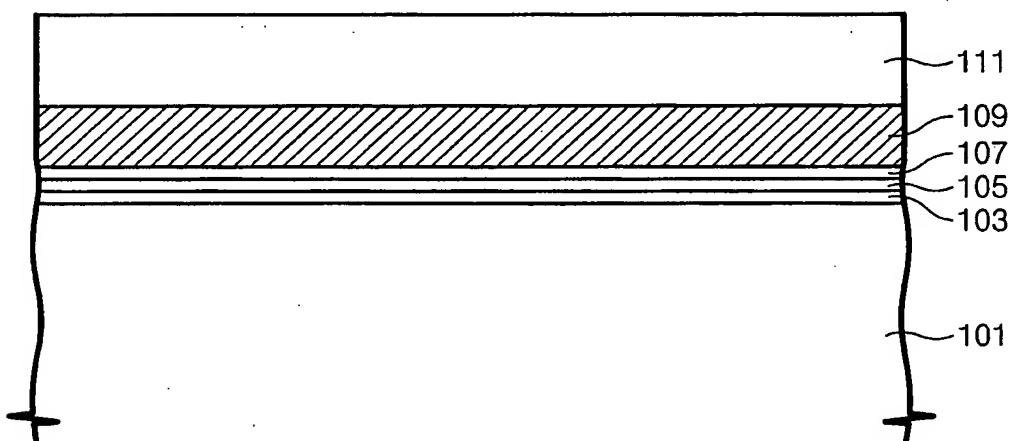
【도 2】



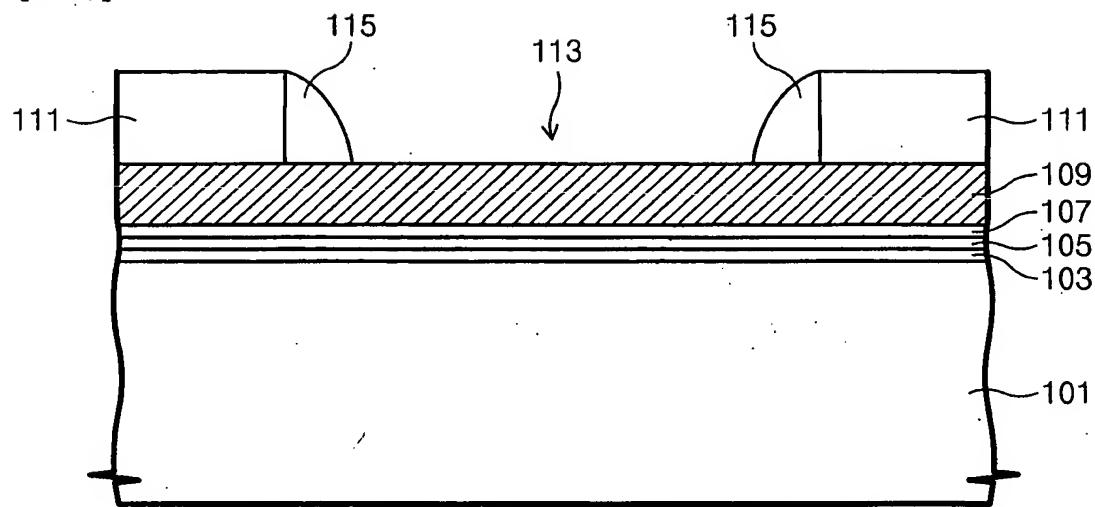
【도 3】



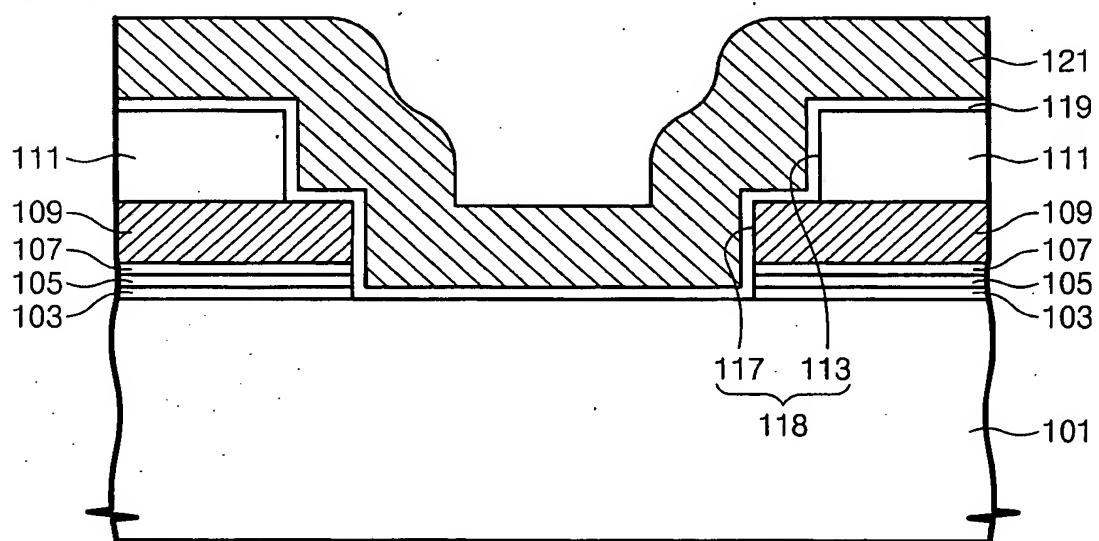
【도 4】



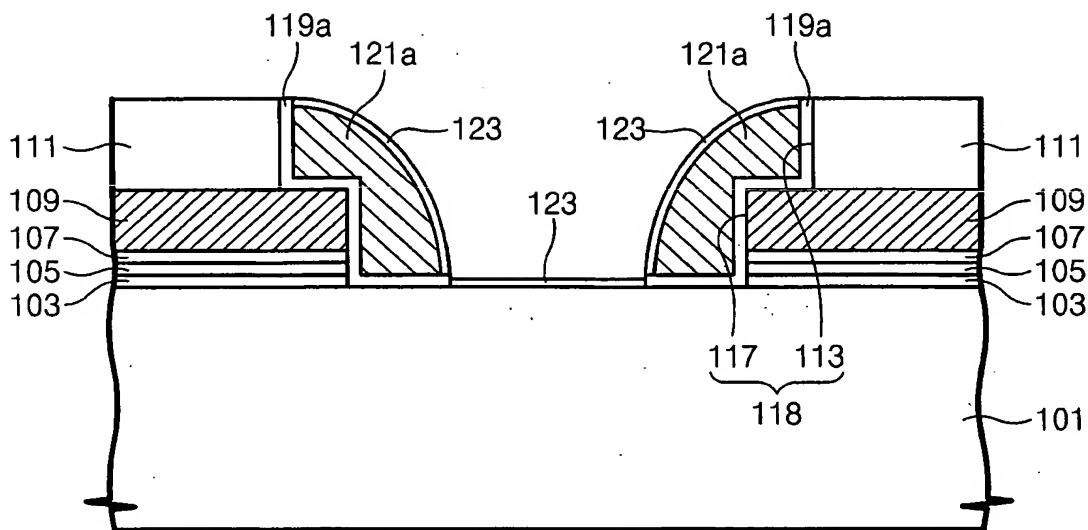
【도 5】



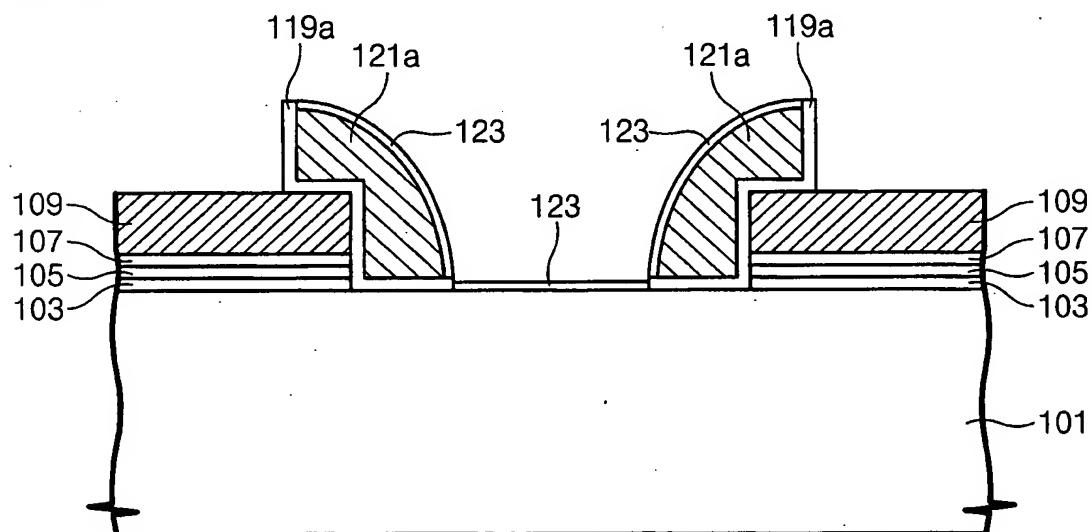
【도 6】



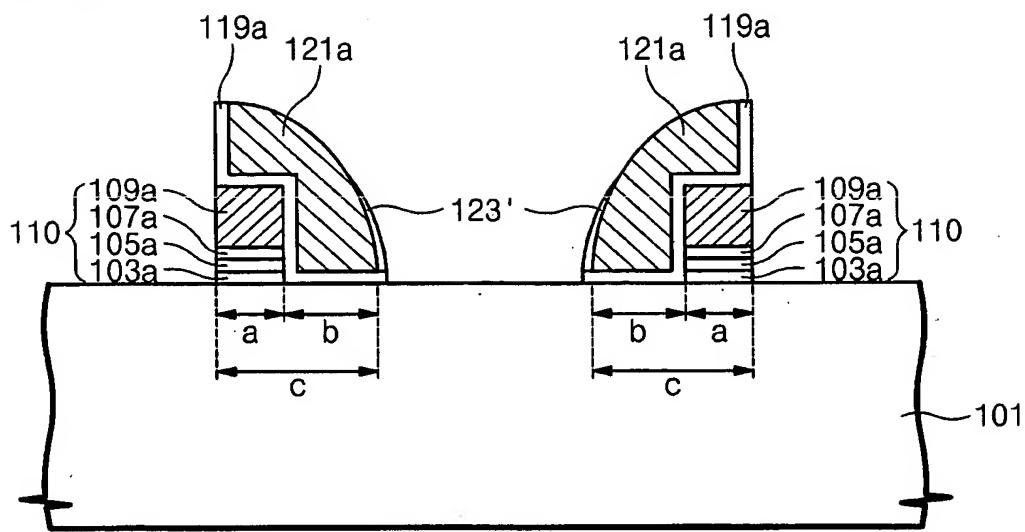
【도 7】



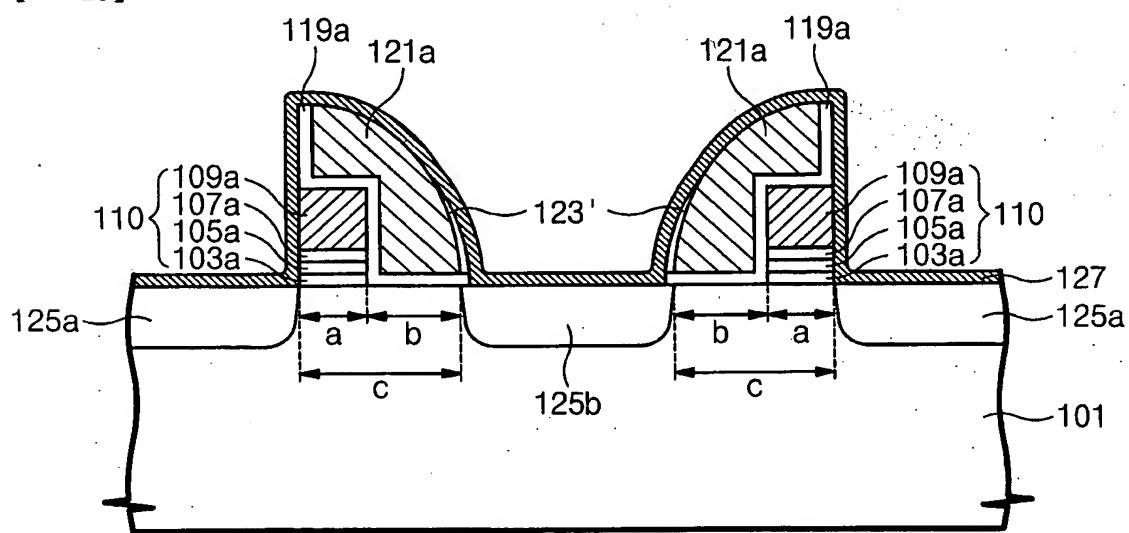
【도 8】



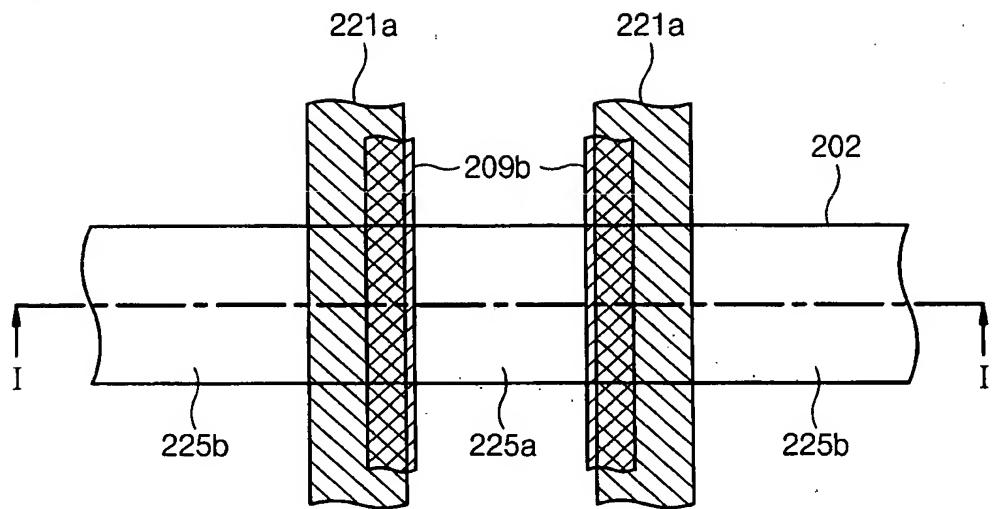
【도 9】



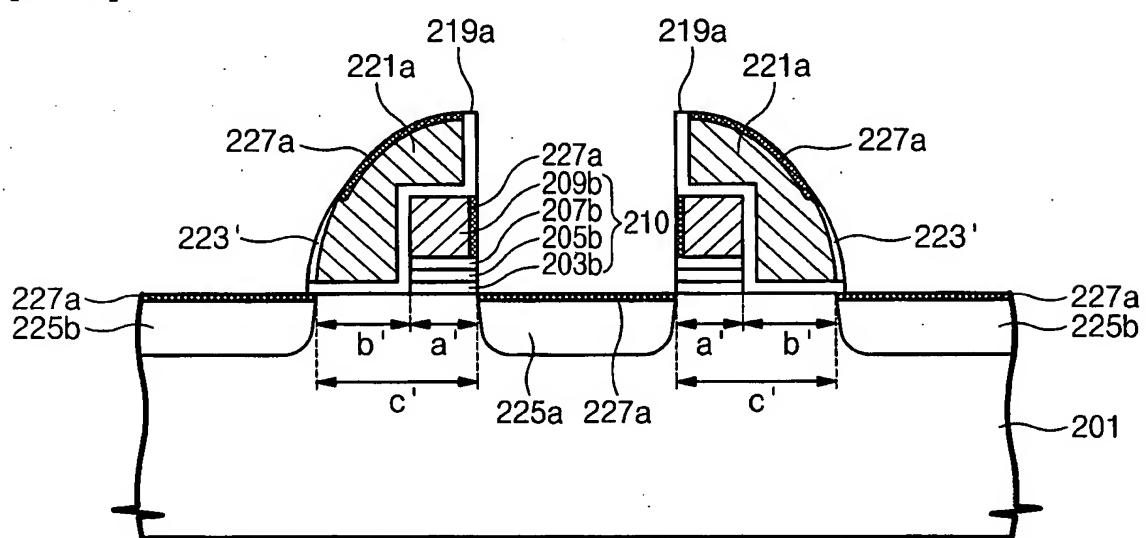
【도 10】



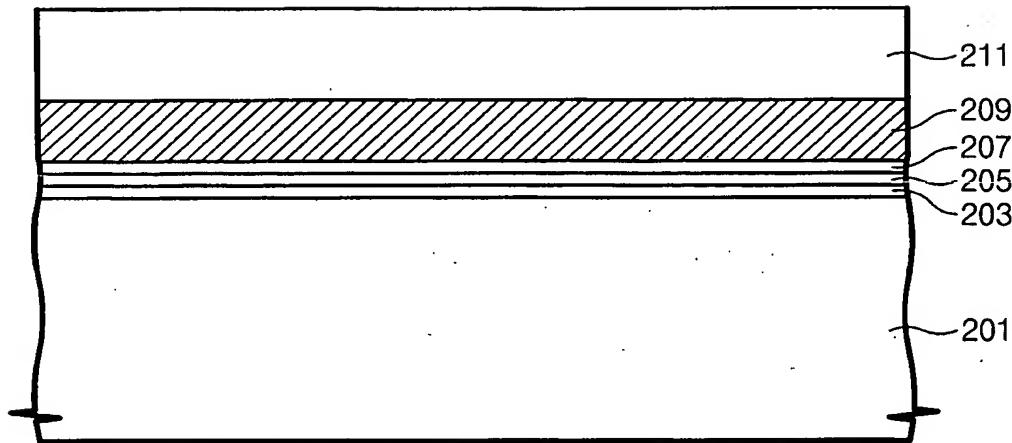
【도 11】



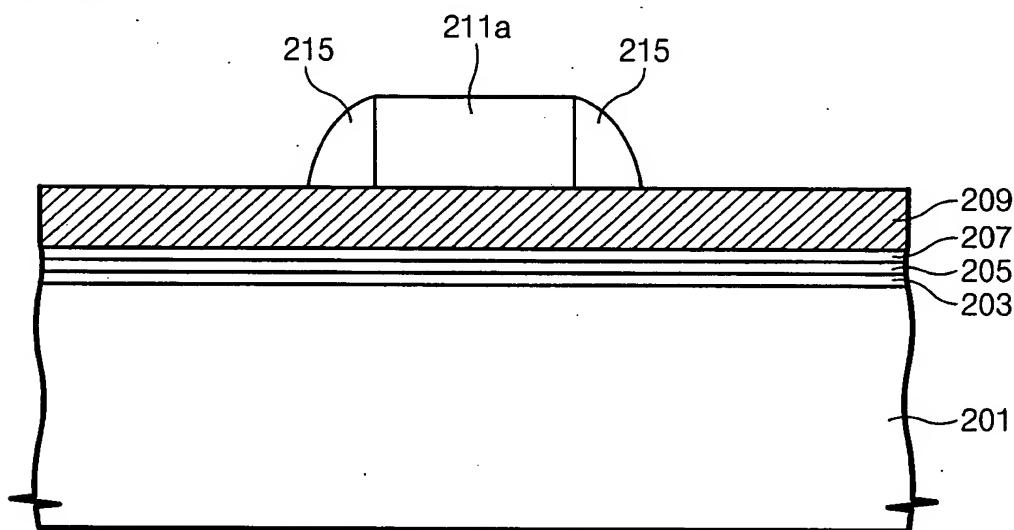
【도 12】



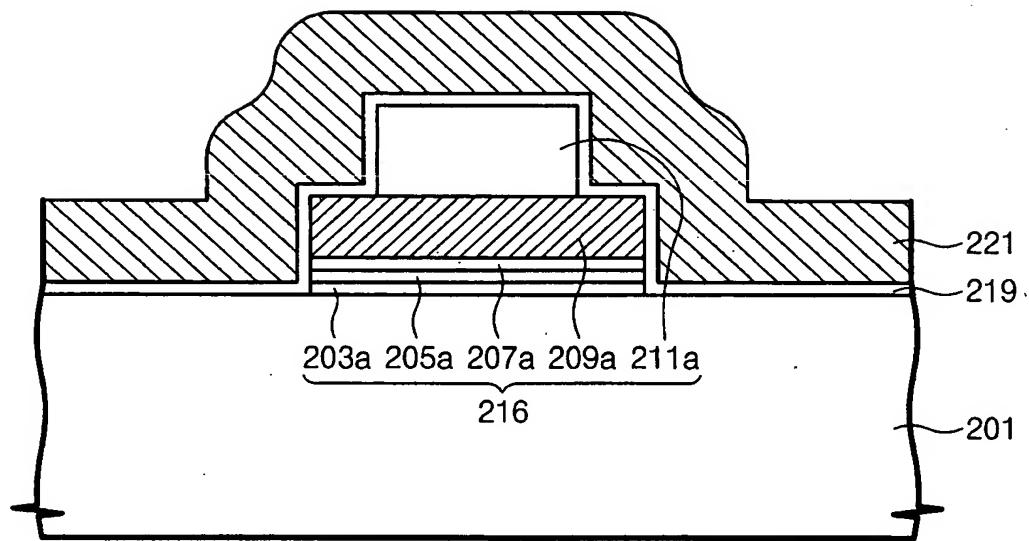
【도 13】



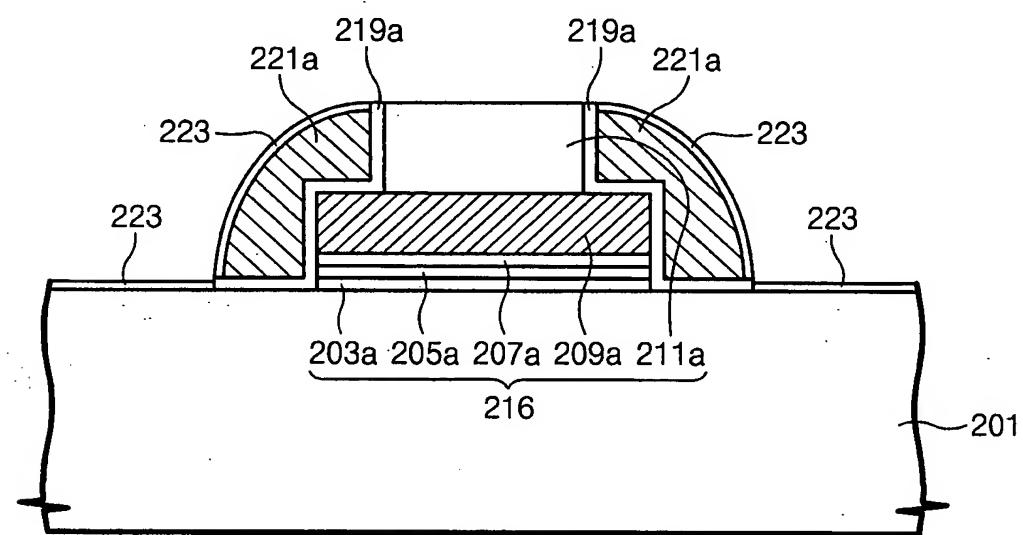
【도 14】



【도 15】



【도 16】



【도 17】

